

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局



(43)国際公開日  
2002年5月16日 (16.05.2002)

PCT

(10)国際公開番号  
WO 02/39420 A1

(51)国際特許分類<sup>7</sup>:

G09G 3/30

(72)発明者; および

(21)国際出願番号:

PCT/JP01/09735

(75)発明者/出願人(米国についてのみ): 渋本 昭 (YU-MOTO, Akira) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(22)国際出願日: 2001年11月7日 (07.11.2001)

(74)代理人: 佐藤隆久 (SATOH, Takahisa); 〒111-0052 東京都台東区柳橋2丁目4番2号 宮木ビル4階 創進国際特許事務所 Tokyo (JP).

(25)国際出願の言語:

日本語

(81)指定国(国内): CN, KR, SG, US.

(30)優先権データ:

特願2000-338688 2000年11月7日 (07.11.2000) JP

(84)指定国(広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

特願2001-231807 2001年7月31日 (31.07.2001) JP

特願2001-320936 2001年10月18日 (18.10.2001) JP

添付公開書類:  
— 国際調査報告書

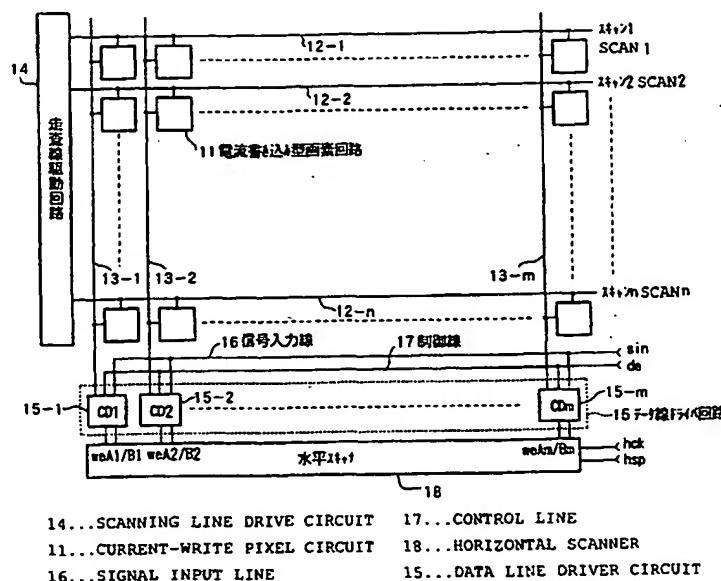
特願2001-339772 2001年11月5日 (05.11.2001) JP

(71)出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

(54)Title: ACTIVE MATRIX DISPLAY AND ACTIVE MATRIX ORGANIC ELECTROLUMINESCENCE DISPLAY

(54)発明の名称: アクティブマトリクス型表示装置およびアクティブマトリクス型有機エレクトロルミネッセンス表示装置



(57)Abstract: When current-write pixel circuits are used, data must be written in the pixels line-sequentially. An active matrix display in which current-write pixel circuits (11) are arranged in a matrix comprises a data line driver circuit (15) composed of m current driver circuit (CD) (15-1 to 15-m) so provided

[続葉有]

WO 02/39420 A1



---

as to correspond to data lines (13-1 to 13-m). The data line driver circuit (15) holds temporarily image data (in this working example, luminance data) and supplies the data in the form of current to the data lines (13-1 to 13-m). Thus image information writing of the pixel circuits (11) is performed.

(57) 要約:

電流書き込み型の画素回路を採用した場合には、各画素へのデータの書き込みを線順次で行う必要がある。電流書き込み型画素回路11をマトリクス状に配置してなるアクティブマトリクス型表示装置において、データ線13-1～13-mの各々に対応して設けられたm個の電流ドライバ回路(CD)15-1～15-mからなるデータ線ドライバ回路15を設け、このデータ線ドライバ回路15で画像データ(本例では、輝度データ)を一旦保持し、しかる後これを電流の形でデータ線13-1～13-mの各々に与えることによって各画素回路11に対する画像情報の書き込み駆動を行うようする。

## 明 細 書

アクティブマトリクス型表示装置および  
アクティブマトリクス型有機エレクトロルミネッセンス表示装置

5

## 技 術 分 野

本発明は、各画素毎に能動素子を有して当該能動素子によって画素単位で表示制御が行われるアクティブマトリクス型表示装置に関し、特に、流れる電流によって輝度が変化する電気光学素子を画素の表示素子として用いるアクティブマトリクス型表示装置および電気光学素子として有機材料のエレクトロルミネッセンス(以下、有機EL(electroluminescence)と記す)素子を用いるアクティブマトリクス型有機EL表示装置に関する。

## 背 景 技 術

表示装置、例えば画素の表示素子として液晶セルを用いた液晶ディスプレイなどにおいては、多数の画素をマトリクス状に配列し、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像の表示駆動が行われるようになっている。この表示駆動は、画素の表示素子として有機EL素子を用いた有機ELディスプレイなどでも同様である。

ただし、有機ELディスプレイの場合は、画素の表示素子として発光素子を用いる、いわゆる自発光型のディスプレイであるため、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。また、各発光素子の輝度はそれに流れる電流値によって制御される、即ち有機EL素子が電流制御型であるという点で、液晶セルが電圧制御型である液晶ディスプレイなどとは大きく異なる。

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式と

して単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを探ることができる。ただし、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同様に画素内部に設けた能動素子（一般には、薄膜トランジスタ 5 (Thin Film Transistor ; TFT) によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

図33に、アクティブマトリクス型の有機ELディスプレイにおける画素回路（単位画素の回路）の従来例を示す（より詳細には、米国特許第5, 684, 365号公報、特開平8-234683号公報を参照）。

10 この従来例に係る画素回路は、図33から明らかなように、アノード（陽極）が正電源Vddに接続された有機EL素子101と、ドレインが有機EL素子101のカソード（陰極）に接続され、ソースが接地されたTFT102と、TFT102のゲートとグランドとの間に接続されたキャパシタ103と、ドレインがTFT102のゲートに、ソースがデータ線106に、ゲートが走査線105 15 にそれぞれ接続されたTFT104とを有する構成となっている。

ここで、有機EL素子は多くの場合整流性があるため、OLED(Organic Light Emitting Diode)と呼ばれることがある。したがって、図33およびその他の図では、OLEDとしてダイオードの記号を用いて示している。ただし、以下の説明において、OLEDには必ずしも整流性を要求するものではない。

20 上記構成の画素回路の動作は次の通りである。先ず、走査線105の電位を選択状態（ここでは、高レベル）とし、データ線106に書き込み電位Vwを印加すると、TFT104が導通してキャパシタ103が充電または放電され、TFT102のゲート電位は書き込み電位Vwとなる。次に、走査線105の電位を非選択状態（ここでは、低レベル）とすると、走査線105とTFT102とは 25 電気的に切り離されるが、TFT102のゲート電位はキャパシタ103によって安定に保持される。

そして、TFT102およびOLED101に流れる電流は、TFT102のゲート・ソース間電圧 $V_{gs}$ に応じた値となり、OLED101はその電流値に応じた輝度で発光し続ける。ここで、走査線105を選択してデータ線106に与えられた輝度情報を画素内部に伝える動作を、以下、「書き込み」と呼ぶこと5とする。上述のように、図33に示す画素回路では、一度電位 $V_W$ の書き込みを行えば、次に書き込みが行われるまでの間、OLED101は一定の輝度で発光を継続する。

このような画素回路（以下、単に画素と記す場合もある）111を図34に示すようにマトリクス状に多数並べ、走査線112-1～112-nを走査線駆動10回路113によって順次選択しながら、電圧駆動型のデータ線駆動回路（電圧ドライバ）114からデータ線115-1～115-mを通して書き込みを繰り返すことにより、アクティブマトリクス型表示装置（有機ELディスプレイ）を構成することができる。ここでは、m列n行の画素配列を示している。この場合、当然のことながら、データ線がm本、走査線がn本となる。

15 単純マトリクス型表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクス型表示装置では、書き込み終了後も発光素子が発光を継続する。このため、アクティブマトリクス型表示装置は、単純マトリクス型表示装置に比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

20 ところで、アクティブマトリクス型有機ELディスプレイにおいては、能動素子として一般に、ガラス基板上に形成された絶縁ゲート型薄膜電界効果トランジスタ（TFT）が利用される。ところが、このTFTの形成に使用されるアモルファスシリコン（非晶質シリコン）やポリシリコン（多結晶シリコン）は、単結晶シリコンに比べて結晶性が悪く、導電機構の制御性が悪いために、形成されたTFTは特性のばらつきが大きいことが良く知られている。

特に、比較的大型のガラス基板上にポリシリコンTFTを形成する場合には、

ガラス基板の熱変形等の問題を避けるため、通常、アモルファスシリコン膜の形成後、レーザアニール法によって結晶化が行われる。しかしながら、大きなガラス基板に均一にレーザエネルギーを照射することは難しく、ポリシリコンの結晶化の状態が基板内の場所によってばらつきを生ずることが避けられない。この結果、同一基板上に形成したTFTでも、そのしきい値 $V_{th}$ が画素によって数百mV、場合によっては1V以上ばらつくこともまれではない。

この場合、例えば異なる画素に対して同じ電位 $V_W$ を書き込んでも、画素によってTFTのしきい値 $V_{th}$ がばらつくことになる。これにより、OLEDに流れる電流 $I_{ds}$ は画素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。このことは、しきい値 $V_{th}$ のみではなく、キャリアの移動度 $\mu$ などのばらつきについても同様のことと言える。

かかる問題を改善するため、本願発明者は、一例として、図35に示す電流書き込み型の画素回路を提案している（国際公開番号WO 01-06484の公報15参照）。

この電流書き込み型の画素回路は、図35から明らかなように、カソードが負電源 $V_{ss}$ に接続されたOLED121と、ドレインがOLED121のアノードに接続され、ソースが基準電位点であるグランドに接続（以下、「接地」と記す）されたTFT122と、このTFT122のゲートとグランドとの間に接続されたキャバシタ123と、ゲートがTFT122のゲートに接続され、ソースが接地されたTFT124と、ドレインがTFT124のドレインに、ソースがデータ線128に、ゲートが走査線127にそれぞれ接続されたTFT125と、ドレインがTFT122、124の各ゲートに、ソースがTFT124、125の各ドレインに、ゲートが走査線127にそれぞれ接続されたTFT126と25を有する構成となっている。

この回路例では、TFT122、124としてPMOS（電界効果トランジス

タ)、TFT125, 126としてNMOSを用いている。この画素回路を駆動するタイミングチャートを図36(A)～(C)に示す。

図35に示す画素回路が、図33に示す画素回路と決定的に異なる点は、次の通りである。すなわち、図33に示す画素回路においては輝度データが電圧の形で画素に与えられるのに対し、図35に示す画素回路においては電流の形で画素に与えられる点にある。その動作は次の通りである。

先ず、輝度情報を書き込む際は、走査線127を選択状態にし、データ線128に、輝度情報に応じた電流 $I_w$ を流す。この電流 $I_w$ は、TFT125を通してTFT124に流れる。このとき、TFT124に生ずるゲート・ソース間電圧を $V_{gs}$ とする。書き込み時は、TFT126によってTFT124のゲート・ドレイン間が短絡されているので、TFT124は飽和領域で動作する。

よって、良く知られたMOSトランジスタの式にしたがって

$$I_w = \mu_1 C_{ox} 1 W_1 / L_1 / 2 (V_{gs} - V_{th1})^2 \dots \dots (1)$$

が成立する。(1)式において、 $V_{th1}$ はTFT124のしきい値、 $\mu_1$ はキャリアの移動度、 $C_{ox} 1$ は単位面積当たりのゲート容量、 $W_1$ はチャネル幅、 $L_1$ はチャネル長である。

次に、OLED121に流れる電流を $I_{drv}$ とすると、この電流 $I_{drv}$ はOLED121と直列に接続されたTFT122によって電流値が制御される。図35に示す画素回路では、TFT122のゲート・ソース間電圧が(1)式の $V_{gs}$ に一致するので、TFT122が飽和領域で動作すると仮定すれば、

$$I_{drv} = \mu_2 C_{ox} 2 W_2 / L_2 / 2 (V_{gs} - V_{th2})^2 \dots \dots (2)$$

となる。

ちなみに、MOSトランジスタが飽和領域で動作する条件は、一般に、

$$|V_{ds}| > |V_{gs} - V_{th}| \dots \dots (3)$$

であることが知られている。(2)式、(3)式の各パラメータの意味は(1)式と同様である。ここで、TFT124とTFT122とは、小さな画素内部に

近接して形成されるため、事実上、 $\mu_1 = \mu_2$ 、 $C_{ox1} = C_{ox2}$ 、 $V_{th1} = V_{th2}$ と考えられる。すると、(1)式と(2)式とから容易に

$$I_{drv}/I_w = (W_2/W_1) / (L_2/L_1) \quad \dots \dots (4)$$

が導かれる。

すなわち、キャリアの移動度 $\mu$ 、単位面積当たりのゲート容量 $C_{ox}$ 、しきい値 $V_{th}$ の値自体がパネル面内で、あるいはパネル毎にばらついたとしても、OLED121に流れる電流 $I_{drv}$ は正確に書き込み電流 $I_w$ に比例するので、結果として、OLED121の発光輝度を正確に制御できる。例えば、特に $W_2 = W_1$ 、 $L_2 = L_1$ と設計すれば、 $I_{drv}/I_w = 1$ 、即ちTFT特性のばらつきによらず、書き込み電流 $I_w$ とOLED121に流れる電流 $I_{drv}$ とは同一の値となる。

一般に、アクティブマトリクス型表示装置においては、各画素への輝度データの書き込みは基本的に走査線単位で行われる。例えば、アモルファスシリコンTFTを用いた液晶ディスプレイにおいては、選択された同一走査線上の画素に対して一括して（同時に）書き込みを行うのが一般的である。このように、走査線単位での書き込みは、一般に、線順次書き込みと呼称されている。

この線順次書き込み方式を採る表示装置では、通常、データ線ドライバは表示パネル内部の画素回路を構成するTFTの製造工程とは別途に、一般的なモノリシック(monolithic)半導体技術によって製造される。したがって、特性の安定したものを得やすいが、その反面、表示装置のデータ線本数分のデータ線ドライバ個数が必要であるため、システム全体として大型・高コストとなりがちである。また、画素数の多い、あるいは画素ピッチの狭い表示装置の実現に際しては、表示パネルとパネル外部のドライバとの結線のための配線本数や接続点数が膨大となるため、接続の信頼性や配線ピッチなどの点からも、大型・高精度の表示装置の実現には限界がある。

ここで、上記の「パネル外部のドライバ」は、文字通り表示パネル（ガラス基

板) の外部に設置され、フレキシブルケーブル等によってパネルと結線されることがあるが、TAB (Tape Automated Bonding) 技術等によってパネル (ガラス基板) 上に搭載されることもある。上述した説明では両者を含めて便宜的に「パネル外部」と表現しており、以下でも同様に表現するものとする。

一方、ポリシリコン TFT を用いた液晶ディスプレイにおいては、トランジスタの駆動能力が高く、単一の画素に対する書き込みを短時間で行うことができるため、点順次書き込みと呼ばれる書き込み方式が採られることが多い。この点順次書き込み方式を探る表示装置の構成例を図 37 に、その動作タイミングチャートを図 38 (A) ~ (F) に示す。なお、図 37において、図 34 と同等部分には同一符号を付して示している。

図 37において、データ線 115-1 ~ 115-m の各一端と信号入力線 116 との間に水平スイッチ HSW1 ~ HSWm が設けられている。そして、これら水平スイッチ HSW1 ~ HSWm は、水平スキャナ (HSCAN) 117 から順次出力される選択パルス we1 ~ we m によって on/off 制御される。水平スイッチ HSW1 ~ HSWm および水平スキャナ 117 は TFT で構成され、画素回路 11 と同一の製造工程にて同時に形成される。

水平スキャナ 117 には、水平スタートパルス hsp および水平クロック信号 hck が入力される。水平スキャナ 117 は、図 38 (A) ~ (E) に示すように、水平スタートパルス hsp の入力後、水平クロック信号 hck の遷移 (立ち上がりおよび立ち下がり) に対応して、水平スイッチ HSW1 ~ HSWm を選択するための選択パルス we1 ~ we m を順次発生する。

水平スイッチ HSW1 ~ HSWm の各々は、選択パルス we1 ~ we m が与えられた期間に導通状態となって信号入力線 116 を通して与えられる画像データ (電圧値) sin をデータ線 115-1 ~ データ線 115-m に伝える。これにより、走査線駆動回路 113 によって選択された走査線上の画素への書き込みが点順次にて行われる。データ線 115-1 ~ データ線 115-m に与えられた電

圧は、水平スイッチH S W<sub>1</sub>～H S W<sub>m</sub>が非導通となった後もデータ線1 1 5－1～データ線1 1 5－mの浮遊容量等の容量成分によって保持される。

このように、水平クロック信号h c kがmクロック分与えられると、選択された走査線上のすべての画素にデータが書き込まれる。この点順次書き込み方式の  
5 表示装置の場合、1本の信号入力線1 1 6を時分割的に使用する構成であるために、表示パネルとパネル外部のデータドライバ（画像データs i nを供給する回路）との接続点数が少なくて済み、また外部ドライバの数もそれに応じて少なくすることができる、などの利点がある。

ところが、画素回路として、前述した図3 5に示す電流書き込み型画素回路を  
10 採用した場合には、図3 7に示すような表示装置の構成では画素1 1 1に正常な書き込みを行うことができない。その理由を以下に説明する。

図3 7において、特定の水平スイッチH S Wが選択されて導通した状態で、信号入力線1 1 6を電流源によって駆動すれば、水平スイッチH S Wが選択されているデータ線上の画素に対しては正常に電流書き込みが行われる。その後、水平  
15 スキャナ1 1 7に水平クロック信号h c kが入力され、別のデータ線に対する書き込みが開始されると、その書き込みと同時にこれまで選択されていた水平スイッチH S Wが非導通となるため、対応するデータ線に流れる電流がゼロとなってしまう。

したがって、正常に書き込みを行うためには、走査線が選択状態から非選択状  
20 態となる時点において、その走査線上のすべての画素に所定の書き込み電流が供給されている必要がある。すなわち、電流書き込み型の画素回路を採用した場合には、各画素へのデータの書き込みを線順次で行う必要があり、例えば図3 9に示すように、選択された走査線上の画素に対して表示パネルの外部に設けられたデータ線ドライバ1 1 8から一括して書き込みを行う構成を探る必要がある。

25 これは、図3 4に示した線順次駆動方式の表示装置と基本的に同じ構成となっている。その結果として、前述したように、パネル外部のデータ線ドライバ1 1

8 を構成する電流ドライバ回路 C D1～C Dm の個数や、それらと表示パネルとの間の配線の接続点数が増加する、という問題を発生する。

### 発明の開示

5 本発明は、上記課題に鑑みて為されたものであり、その目的とするところは、電流書き込み型画素回路を採用した場合において、表示パネルと外部のデータドライバ回路との接続点数を削減しつつ正常な電流書き込み動作を実現し得るアクティブマトリクス型表示装置およびアクティブマトリクス型有機EL表示装置を提供することにある。

10 本発明によるアクティブマトリクス型表示装置は、電流によって画像情報の書き込みを行う電流書き込み型の画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に画像情報を供給する複数本のデータ線が配線されてなる表示部と、画像情報を一旦保持した後電流の形で複数本のデータ線の各々に与えることによって各画素回路に対する画像情報の書き込み駆動を行う駆動回路とを備えた構成となっている。

15 上記構成のアクティブマトリクス型表示装置において、画素回路が電流書き込み型の場合には、画素回路内の能動素子の特性が画素毎にばらついたとしても、表示素子に流れる電流が正確に書き込み電流に比例するので、表示素子の発光輝度を正確に制御できる。一方、駆動回路は画像情報を一旦保持し、かかる後データ線の各々に画像情報を電流の形で与える。これにより、駆動回路による各画素回路への画像情報の書き込みが線順次にて行われる。

### 図面の簡単な説明

20 図1は、本発明の第1実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

25 図2(A)～(K)は、第1実施形態に係るアクティブマトリクス型表示装置

の回路動作を説明するためのタイミングチャートである。

図3は、有機EL素子の構成の一例を示す断面構造図である。

図4は、データ線ドライバ回路の第1回路例を示す回路図である。

図5(A)～(D)は、第1回路例に係るデータ線ドライバ回路の回路動作の  
5 タイミングチャートである。

図6は、データ線ドライバ回路の第2回路例を示す回路図である。

図7は、第2回路例の変形例を示す回路図である。

図8は、本発明の第2実施形態に係るアクティブマトリクス型表示装置の構成  
例を示すブロック図である。

10 図9(A)～(J)は、第2実施形態に係るアクティブマトリクス型表示装置  
の回路動作を説明するためのタイミングチャートである。

図10は、データ線ドライバ回路の第3回路例を示す回路図である。

図11は、第2実施形態の変形例に係るアクティブマトリクス型表示装置の構  
成例を示すブロック図である。

15 図12は、第2実施形態の他の変形例に係るアクティブマトリクス型表示装置  
の構成例を示すブロック図である。

図13は、第2実施形態のさらに他の変形例に係るアクティブマトリクス型表  
示装置の構成例を示すブロック図である。

図14は、データ線ドライバ回路の第4回路例を示す回路図である。

20 図15(A)～(C)は、第4回路例に係るデータ線ドライバ回路の回路動作  
のタイミングチャートである。

図16は、第4回路例の変形例を示す回路図である。

図17は、データ線ドライバ回路の第5回路例を示す回路図である。

図18は、本発明の第3実施形態に係るアクティブマトリクス型表示装置の構  
成例を示すブロック図である。

25 図19は、データ線ドライバ回路の第6回路例を示す回路図である。

図20 (A) ~ (G) は、第6回路例に係るデータ線ドライバ回路の回路動作のタイミングチャートである。

図21は、データ線ドライバ回路の第7回路例を示す回路図である。

図22は、データ線ドライバ回路の第8回路例を示す回路図である。

5 図23 (A) ~ (D) は、第8回路例に係るデータ線ドライバ回路の回路動作のタイミングチャートである。

図24は、第8回路例の変形例を示す回路図である。

図25は、第8回路例のさらに他の変形例を示す回路図である。

10 図26 (A) ~ (D) は、第8回路例のさらに他の変形例に係るデータ線ドライバ回路の回路動作のタイミングチャートである。

図27は、本発明の第4実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

図28 (A) ~ (C) は、第4実施形態に係るアクティブマトリクス型表示装置の動作説明図である。

15 図29は、本発明の第5実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

図30は、第5実施形態に係るアクティブマトリクス型表示装置におけるリーグ素子 (LK) の効果を説明する図である。

20 図31は、本発明の第6実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

図32は、第6実施形態に係るアクティブマトリクス型表示装置におけるプリチャージ素子 (PC) の効果を説明する図である。

図33は、従来例に係る画素回路の回路構成を示す回路図である。

25 図34は、線順次駆動方式のアクティブマトリクス型表示装置の構成例を示すブロック図である。

図35は、従来例に係る電流書き込み型画素回路の回路構成を示す回路図であ

る。

図36(A)～(C)は、従来例に係る電流書き込み型画素回路の回路動作を説明するためのタイミングチャートである。

図37は、点順次駆動方式のアクティブマトリクス型表示装置の構成例を示す  
5 ブロック図である。

図38(A)～(F)は、点順次駆動方式のアクティブマトリクス型表示装置の回路動作を説明するためのタイミングチャートである。

図39は、電流書き込み型画素回路を採用した場合のアクティブマトリクス型表示装置の構成例を示すブロック図である。

10

#### 発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。

##### [第1実施形態]

図1は、本発明の第1実施形態に係るアクティブマトリクス型表示装置の構成  
15 例を示すブロック図である。図1において、画素回路11がマトリクス状に多数配置されて表示領域（表示部）を構成している。ここでは、m列n行の画素配列を例に採って示している。この表示領域には、画素回路11の各々に対して、各画素（画素回路）を選択するn本の走査線12-1～12-nと、各画素に画像データ、例えば輝度データを供給するm本のデータ線13-1～13-mとが配  
20 線されている。

上記表示領域の外部には、走査線12-1～12-nを選択駆動する走査線駆動回路14が設けられるとともに、データ線13-1～13-mを駆動するデータ線ドライバ回路15が設けられている。走査線駆動回路14は例えばシフトレジスタからなり、各転送段の出力端が走査線12-1～12-nの各一端に接続されている。データ線ドライバ回路15は、後述するように、m個の電流書き込み型の電流ドライバ回路(CD)15-1～15-mによって構成されている。

電流書き込み型の電流ドライバ回路（以下、単に「電流ドライバ回路」と記す）

15-1～15-mは、各出力端がデータ線13-1～13-mの各一端に接続されている。

データ線ドライバ回路15の電流ドライバ回路15-1～15-mには、信号

5 入力線16を通して外部から画像データ（本例では、輝度データ）sinが供給されるとともに、制御線17を通して外部から駆動制御信号deが供給される。

すなわち、データ線13-1～13-m毎に設けられた電流ドライバ回路15-1～15-mは同一の信号入力線16を共用し、これを時分割的に使用しつつ画像データの取り込みを行う。電流ドライバ回路15-1～15-mにはさらに、

10 水平スキャナ（HSCAN）18から、2系統の書き込み制御信号weA1～weAm, weB1～weBmが供給される。

水平スキャナ18には、水平スタートパルスhspおよび水平クロック信号hckが入力される。水平スキャナ18は例えばシフトレジスタからなり、図2（A）～（K）のタイミングチャートに示すように、水平スタートパルスhspの15 入力後、水平クロック信号hckの遷移（立ち上がりおよび立ち下がり）に対応して、書き込み制御信号weA1～weAm, weB1～weBmを順次発生する。ここで、例えば書き込み制御信号weA1～weAmの各々は、書き込み制御信号weB1～weBmの各々に対してやや遅れたタイミング関係にある。

上記構成の第1実施形態に係るアクティブマトリクス型表示装置において、画素回路11としては、例えば図35に示した電流書き込み型の画素回路が用いられる。この電流書き込み型画素回路は、先述したように、画素回路11の表示素子として、電流値によって輝度が制御される発光素子、例えば有機EL素子（OLED）を用いるとともに、4つのTFT（絶縁ゲート型薄膜電界効果トランジスタ）および1つのキャパシタを有し、輝度データが電流の形でデータ線から与えられるようになっている。なお、画素回路11としては、図35に示した回路構成のものに限定されるものではなく、要は、電流書き込み型の画素回路であれ

ば良い。

ここで、有機EL素子の構造の一例について説明する。図3に、有機EL素子の断面構造を示す。同図から明らかなように、有機EL素子は、透明ガラスなどからなる基板21上に、透明導電膜からなる第1の電極（例えば、陽極）22を形成し、その上にさらに正孔輸送層23、発光層24、電子輸送層25および電子注入層26を順次堆積させて有機層27を形成した後、この有機層27の上に金属からなる第2の電極（例えば、陰極）28を形成した構成となっている。そして、第1の電極22と第2の電極28との間に直流電圧Eを印加することで、発光層24において電子と正孔が再結合する際に発光するようになっている。

この有機EL素子（OLED）を含む画素回路では、上述したように、能動素子として一般にガラス基板上に形成されたTFTが用いられる。そして、この画素回路が生成されたガラス基板（表示パネル）上に、走査線駆動回路14も同様に、TFTなどの回路素子によって形成される。このとき、電流ドライバ回路15-1～15-mについても、同じ表示パネル（ガラス基板）上にTFTなどの回路素子によって同時に形成するようにしても良い。ただし、電流ドライバ回路15-1～15-mを必ずしも表示パネル上に設ける必要はなく、パネル外部に設ける構成を探っても良い。

#### [第1回路例]

図4は、データ線ドライバ回路15を構成する電流ドライバ回路15-1～15-mの具体的な回路例を示す回路図である。なお、電流ドライバ回路15-1～15-mの各々は全く同じ回路構成となっている。

図4から明らかなように、本例に係る電流ドライバ回路は、4つのTFT31～34および1つのキャパシタ35から構成されている。この回路例では、TFT31～34のすべてをNMOSで構成しているが、これは一例であって、これに限られるものではない。

図4において、TFT31はそのソースが接地されて変換部を構成している。

このTFT31のドレインに、TFT32, 33の各ソースおよびTFT34のドレインがそれぞれ接続されている。TFT32は、そのドレインが信号入力線16に接続された第1のスイッチ素子であり、そのゲートには第1の書き込み制御信号weAが与えられる。TFT33は、そのドレインがデータ線13に接続されて駆動部を構成しており、そのゲートには制御線17を介して駆動制御信号deが与えられる。TFT34は、そのソースがTFT31のゲートに接続された第2のスイッチ素子であり、そのゲートには第2の書き込み制御信号weBが与えられる。TFT31のゲートおよびTFT34のソースとグランドとの間に5は、保持部を構成するキャパシタ35が接続されている。

10 次に、上記構成の電流ドライバ回路の回路動作について、図5(A)～(D)の駆動波形図を用いて説明する。

本電流ドライバ回路への書き込み時には第1の書き込み制御信号weAおよび第2の書き込み制御信号weBを共に選択状態とする。ここでは、両者が高レベルの状態を選択状態としている。さらに、駆動制御信号deを非選択状態（ここ15では低レベル）とする。この状態で信号入力線16に電流値Iwの電流源CSを接続することにより、TFT32のソースを通してTFT31に書き込み電流Iwが流れる。

このとき、TFT31のゲート・ドレイン間はTFT34によって電気的に短絡されているので(3)式が成立し、TFT31は飽和領域で動作する。したが20って、そのゲート・ソース間には、

$$I_w = \mu C_{ox} W / L / 2 (V_{gs} - V_{th})^2 \quad \dots \dots (5)$$

で与えられる電圧Vgsが生ずる。ここで、VthはTFT31のしきい値、 $\mu$ はキャリアの移動度、C<sub>ox</sub>は単位面積当たりのゲート容量、Wはチャネル幅、Lはチャネル長である。

25 次に、第1、第2の書き込み制御信号weA, weBを非選択状態とする。詳しくは、先ず、第2の書き込み制御信号weBを低レベルとしてTFT34を非

導通状態とする。これにより、TFT 3 1 のゲート・ソース間に生じた電圧  $V_{gs}$  がキャパシタ 3 5 によって保持される。次いで、第 1 の書き込み制御信号  $we_A$  を低レベルとして TFT 3 2 を非導通状態とすることにより、本電流ドライバ回路と電流源 CS とが電気的に遮断されるので、その後は電流源 CS によって別の電流ドライバ回路に対して書き込みを行うことができる。TET 3 3 は、キャパシタ 3 5 の保持電圧  $V_{gs}$  に基づいてデータ線 1 3 を駆動する。

このように、本電流ドライバ回路への書き込み終了時、先ず TFT 3 4 を非導通状態とし、しかる後 TFT 3 2 を非導通状態とする、即ち TFT 3 2 に先立って TFT 3 4 を非導通状態とすることで、輝度データの書き込みを確実に行うことができる。ここで、電流源 CS が駆動するデータは、第 2 の書き込み制御信号  $We_B$  が非選択となる時点では有効である必要があるが、その後は任意の値（例えば、次の電流ドライバ回路への書き込みデータ）とされて良い。

次に、駆動制御信号  $de$  を選択状態（ここでは高レベル）とすると、TFT 3 1 が飽和領域で動作していれば、TFT 3 1 を流れる電流は、

$$15 \quad I_d = \mu C_o x W / L / 2 (V_{gs} - V_{th})^2 \quad \dots \dots (6)$$

で与えられる。これがデータ線 1 3 に流れる電流となるが、これは先の書き込み電流  $I_w$  に一致する。

すなわち、図 4 に示す回路は、電流値の形で書き込まれた輝度データ  $s_{in}$  を一旦電圧値に変換してキャパシタ 3 5 に保持し、書き込み終了後もキャパシタ 3 5 の電圧値に基づいて、書き込まれた電流値とほぼ等しい電流値でデータ線 1 3 を駆動する機能を有する。さらにこの動作において、(5) 式、(6) 式中のキャリアの移動度  $\mu$  や、しきい値  $V_{th}$  等の絶対値は問題とされない。すなわち、図 4 に示す回路は、TFT の特性ばらつきによらず、書き込まれた電流値と正確に等しい電流値でデータ線 1 3 を駆動することができる。

25 続いて、図 1 に示す第 1 実施形態に係るアクティブマトリクス型表示装置において、画素回路 1 1 として図 3 5 の電流書き込み型画素回路を用い、かつ電流ド

ライバ回路 15-1～15-m として図 4 の電流書き込み型電流ドライバ回路を用いた場合の動作について、図 2 (A)～(K) のタイミングチャートに基づいて説明する。

水平スキャナ 18 は、先述したように、水平スタートパルス hsp の入力後、

- 5 水平クロック信号 hck の遷移に対応して、第 1, 第 2 の書き込み制御信号 weA1～weAm, weB1～weBm を順次発生する。ここで、書き込み制御信号 weA1～weAm の各々は、書き込み制御信号 weB1～weBm の各々に対してややタイミングが遅れている。輝度データ sin はこれらの書き込み制御信号 weA1～weAm, weB1～weBm に同期して、信号入力線 16 から
- 10 電流値の形で入力される。

そして、水平クロック hck が m クロック分入力されると、m 個の電流ドライバ回路 15-1～15-m に輝度データ sin が書き込まれる。書き込みの最中は、駆動制御信号 de は非選択状態とされているが、すべての電流ドライバ回路 15-1～15-m に書き込みが終了した時点で選択状態とされ、よってデータ線 13-1～データ線 13-m が駆動される。駆動制御信号 de が選択状態のとき、k 番目の走査線 12-k が選択されているので、走査線 12-k に接続された画素 11 に対して線順次書き込みが行われる。

走査線 12-k を非選択とすると書き込みが終了するが、図 2 (A)～(K) のタイミングチャートでは、その時点において駆動制御信号 de は選択状態を保っており、書き込み終了まで有効な書き込みデータ（書き込み電流）を保つようしている。ただし、この駆動法においては、1 走査線期間（通常は、1 フレーム期間／走査線本数）に、電流ドライバ回路 15-1～15-m への書き込みと、データ線 13-1～13-m の駆動がシリアルに行われるため、これら書き込みとデータ線駆動の両方に十分な時間を確保することが難しい場合がある。

## 25 [第 2 回路例]

図 6 は、電流ドライバ回路 15-1～15-m の他の回路例を示す回路図であ

り、図中、図4と同等部分には同一符号を付して示している。

図6から明らかなように、本例に係る電流ドライバ回路は、図4の回路素子に加えて、TFT31と電流源CSとの間に、輝度データsinの書き込み時に飽和領域で動作するインピーダンス変換用トランジスタ、即ちTFT31と導電型が異なるPMOSのTFT40を、例えばTFT32を介して接続した構成となっている。この構成によれば、本電流ドライバ回路への輝度データsinの書き込みを、図4の回路例よりも高速に行うことができる。その理由について以下に順次説明する。

電流書き込みにおいては、一般に、書き込みに要する時間が長いという問題がある。何となれば、図4の回路例の電流ドライバ回路に電流値Iwを書き込む場合、電流源CSの出力抵抗は理論上無限大なので、回路の抵抗は図4のTFT31によって決まる一方、パネル内部のTFTは一般に駆動能力が小さい、言い換えれば入力抵抗が高いため、信号入力線16の電位が定常状態に達するまでに時間がかかるからである。

ここで先ず、図4の回路例の場合について、書き込みに必要な時間を求める。書き込み時、TFT31はゲート・ドレン間がTFT34によって短絡され、従って飽和領域で動作することを踏まえて、MOSトランジスタの式(1)の両辺をゲート・ソース間電圧Vgsで微分することで、

$$1/R_n = \mu_n C_{ox} W_n / L_n (V_{gsn} - V_{th}) \quad \dots \dots (7)$$

を得る。ここで、TFT31がNMOSであるので、必要なパラメータには添字nを付して示している。RnはTFT31の信号入力線16から見た微分抵抗であり、これが信号入力線16の入力抵抗である。なお、TFT32はアナログスイッチであり抵抗特性を呈するが、TFT31に比べて十分小さな抵抗値となるように設計できるため、その抵抗値は無視する。

(1)式、(7)式より、

$$R_n = 1/\sqrt{(2\mu_n C_{ox} W_n / L_n \cdot I_w)} \quad \dots \dots (8)$$

を得る。すなわち、TFT31の入力抵抗Rnは書き込み電流Iwの平方根に反比例し、特に書き込み電流Iwが小さな状態では非常に大きな値となる。一方、信号入力線16に存在する容量をCsとすると、書き込み動作の時定数は定常状態付近では

$$5 \quad \tau = Cs \times Rn \quad \dots\dots (9)$$

で与えられる。

信号入力線16に信号電流を供給する電流源CSは通常パネル外部の部品で構成されるため、データ線ドライバ回路15から距離的に離れていることが多く、容量Csは大きな値になりやすい。その上、先に述べたように、TFT31の入力抵抗Rnは書き込み電流Iwが小さくなるに従って増大するので、小さな電流の書き込みに要する長い書き込み時間は重大な問題である。

書き込み時間を短縮するためには、(9)式より、TFT31の入力抵抗Rnを小さくする必要がある。そのためには、最大輝度値に相当する電流値をより大きい値に設定することによって、小さな輝度値においても書き込み電流Iwがあり小さくならないようになることが考えられるが、これは消費電力の増大を招く。あるいは、TFT31のWn/Lnを大きくすることが考えられるが、その場合は、より小さなゲート電圧振幅でTFT31を使用することになるため、微小なノイズによって駆動電流が影響されやすくなるなどの問題がある。

ここで、図6の回路例の回路動作について考える。信号入力線16には電流源CSが接続されており、この電流源CSと本電流ドライバ回路との間には比較的大きな寄生容量Csが存在している。今、信号電流Iwを書き込む動作を考え、TFT40が飽和領域で動作しているとすれば、定常状態においては、MOSトランジスタの式(1)に従って、

$$Iw = \mu_p C_o x W_p / L_p / 2 (Vgs - Vtp)^2 \quad \dots\dots (10)$$

が成り立つ。ここで、TFT40がPMOSであるので、必要なパラメータには添字pを付して示している。

図6の回路例では、信号入力線16がTFT40のソースであることに注意すれば、

$$I_w = \mu_p C_o x W_p / L_p / 2 (V_{in} - V_g - |V_{tp}|)^2 \quad \dots \dots (11)$$

5 が成り立つことがわかる。V<sub>in</sub>およびV<sub>g</sub>はそれぞれ、グランドを基準とした信号入力線16の電圧およびTFT40のゲート電圧である。

(11)式の両辺を信号入力線16の電圧V<sub>in</sub>で微分すれば、

$$1/R_p = \mu_p C_o x W_p / L_p (V_{in} - V_g - |V_{tp}|) \dots \dots (12)$$

を得る。R<sub>p</sub>はTFT40の信号入力線16から見た微分抵抗であり、これが信号入力線16の入力抵抗である。(11)式、(12)式より

$$R_p = 1 / \sqrt{2 \mu_p C_o x W_p / L_p \cdot I_w} \quad \dots \dots (13)$$

を得る。書き込み動作の時定数は、定常状態付近では

$$\tau = C_s \times R_p \quad \dots \dots (14)$$

で与えられる。

15 ここで注目すべきなのは、(13)式、(14)式によれば、書き込み時定数はTFT31に関するパラメータ(W<sub>n</sub>、L<sub>n</sub>など)に関係なく、PチャネルTFT40によって決まるということである。すなわち、TFT40のW<sub>p</sub>/L<sub>p</sub>を大きく設定すれば、(13)式によって任意に信号入力線16の入力抵抗R<sub>p</sub>を小さくすることができ、(14)式によって書き込み動作の時定数が小さくなることがわかる。つまり、書き込み電流I<sub>w</sub>の大きさやTFT31のパラメータを変更することなく、言い換えれば、先に述べたような消費電力の増大やノイズ耐性の悪化を伴うことなく、書き込みを高速化することが可能となる。

20 書き込みが高速化すれば、一定の時間内に同一の信号入力線16を時分割的に使用して多数のデータをデータ線ドライバ列に書き込むことが可能になるので、パネルとパネル外部の電流源C<sub>S</sub>との間の接続点数や、電流源C<sub>S</sub>の個数を削減することができる。

ここで、TFT40を飽和領域で動作させるための方法について以下に示す。

MOSトランジスタが飽和領域で動作するための条件は前述のように（3）式で与えられるが、PMOSの場合は、

$$V_d < V_g + |V_{tp}| \quad \dots \dots (15)$$

5 と書いてても良い。ここで、 $V_d$ および $V_g$ はそれぞれ、グランドを基準としたドレイン電位およびゲート電位である。

書き込み時間が問題になるのは、先に述べたように書き込み電流 $I_w$ が小さな場合である。そこで、書き込み電流 $I_w$ がゼロに近い書き込み状態を考えると、TFT31はそのゲート・ドレインをTFT34によって電気的に短絡されており、流れる電流がゼロに近い。このことから、そのドレイン電位はほぼ $V_{tn}$ であるが、これはTFT40のドレイン電位 $V_g$ でもある。したがって、（15）式は、

$$V_{tn} < V_g + |V_{tp}| \quad \dots \dots (16)$$

と書くことができる。

15 したがって、TFT40を飽和領域で動作させるためには、（16）式が成り立つこと、具体的には、例えばゲート電位 $V_g = 0$ で使用する場合には $V_{tn} < |V_{tp}|$ としたり、あるいは $V_g$ を0Vではなく、0Vよりも高い電位で使用すれば良い。

上述したように、TFT31と電流源CSとの間に、輝度データ $s_{in}$ の書き込み時に飽和領域で動作するインピーダンス変換用トランジスタ（本例では、PチャネルTFT40）を接続することで、本電流ドライバ回路への輝度データ $s_{in}$ の書き込みを図4の回路例よりも高速に行うことができる。これにより、一定の時間内に同一の信号入力線16を時分割的に使用して多数のデータをデータ線ドライバ列に書き込むことが可能になるので、パネルとパネル外部の電流源CSとの間の接続点数や、電流源CSの個数を削減することができる。

なお、本回路例では、PチャネルTFT40をTFT31と電流源CSとの間

に TFT 3 2 を介して接続する回路構成としたが、図 7 に示すように、輝度データ s i n の書き込み時に飽和領域で動作する P チャネル TFT 4 0 を N チャネル TFT 3 2 に代えて設け、この P チャネル TFT 4 0 にインピーダンス変換とスイッチ（図 6 の TFT 3 2 ）の両機能を持たせるようにしても、上記の場合と同様の作用効果を得ることができる。この変形例の場合には、電流ドライバ回路毎にトランジスタを 1 個削減できるため、その分だけ回路構成の簡略化、低コスト化が図れる利点がある。

#### [第 2 実施形態]

図 8 は、本発明の第 2 実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図 1 と同等部分には同一部号を付して示している。本実施形態に係るアクティブマトリクス型表示装置において、第 1 実施形態に係るアクティブマトリクス型表示装置との違いは、データ線ドライバ回路 1 5' の構成にある。

すなわち、第 1 実施形態ではデータ線ドライバ回路 1 5 を 1 列分の電流ドライバ回路 1 5 - 1 ~ 1 5 - m で構成しているのに対して、本実施形態ではデータ線ドライバ回路 1 5' を 2 列分の電流ドライバ回路 1 5 A - 1 ~ 1 5 A - m, 1 5 B - 1 ~ 1 5 B - m で構成している。これら 2 列分の電流ドライバ回路 1 5 A - 1 ~ 1 5 A - m, 1 5 B - 1 ~ 1 5 B - m には、信号入力線 1 6 を通して外部から画像データ（本例では、輝度データ） s i n が供給される。

20 2 列分の電流ドライバ回路 1 5 A - 1 ~ 1 5 A - m, 1 5 B - 1 ~ 1 5 B - m にはさらに、2 本の制御線 1 7 - 1, 1 7 - 2 を通して外部から 2 系統の駆動制御信号 d e 1, d e 2 が供給される。これらの駆動制御信号 d e 1, d e 2 は、図 9 のタイミングチャートに示すように、1 走査線期間の周期で極性が反転し、かつ互いに逆相の信号となっている。

25 一方、水平スキャナ 1 8 は、図 9 (A) ~ (J) のタイミングチャートに示すように、水平スタートパルス h s p の入力後、水平クロック信号 h c k の遷移 (

立ち上がりおよび立ち下がり)に対応して、1系統の書き込み制御信号w e 1～w e mを順次発生する構成となっている。この1系統の書き込み制御信号w e 1～w e mは、2列分の電流ドライバ回路15A-1～15A-m, 15B-1～15B-mに供給される。

5 [第3回路例]

図10は、電流ドライバ回路15A-1～15A-m, 15B-1～15B-mの具体的な回路例を示す回路図であり、図中、図4と同等部分には同一符号を付して示している。本例に係る電流ドライバ回路は、4つのTFT31～34および1つのキャパシタ35からなる基本的な回路部分については、図4の電流ド

10 ライバ回路と同じである。

異なる点は、TFT32およびTFT34を制御する回路の構成である。この制御回路は、3つのインバータ36, 37, 38および1つのNOR回路39から構成されている。インバータ36は、水平スキャナ18から供給される書き込み制御信号w e の極性を反転してNOR回路39にその一方の入力として供給する。NOR回路39は、制御線17-1(または、17-2)を通して外部から供給される駆動制御信号d e 1(または、d e 2)を他方の入力としている。

このNOR回路39を通過した駆動制御信号d e 1(または、d e 2)は、直接TFT34のゲートに供給されるとともに、インバータ37, 38を介してTFT32のゲートに供給される。インバータ37, 38は、図2(A)～(K)のタイミングチャートにおける第2の書き込み制御信号w e Bに対する第1の書き込み制御信号w e Aの遅れ時間に相当する遅延時間有し、NOR回路39を通過した駆動制御信号d e 1(または、d e 2)を当該遅延時間だけ遅らせてTFT32のゲートに与える。

上記構成の電流ドライバ回路において、その基本的な回路動作は図4の電流ド

25 ライバ回路と同じである。すなわち、電流値の形で書き込まれた輝度データs i nを一旦電圧値に変換してキャパシタ35に保持し、書き込み終了後もキャパシ

タ35の電圧値に基づいて、書き込まれた電流値とほぼ等しい電流値でデータ線13を駆動する動作を行う。

これに加えて、本例に係る電流ドライバ回路では、駆動制御信号d e 1（または、d e 2）を非選択状態（低レベル）、書き込み制御信号w e を選択状態（高レベル）とすることで輝度データs i nの書き込みが可能となり、駆動制御信号d e 1（または、d e 2）を選択状態とすることで、書き込み制御信号w e の状態によらずデータ線13を駆動する状態となる。

インバータ37、38は、先述したように遅延回路を構成している。このインバータ37、38の遅延作用により、本電流ドライバ回路への書き込み終了時、10 TFT32に先立ってTFT34を非導通状態とすることで、確実なデータ書き込みを行うようにしている。

続いて、図8に示す第2実施形態に係るアクティブマトリクス型表示装置において、画素回路11として図35の電流書き込み型画素回路を用い、かつ電流ドライバ回路15A-1～15A-m、15B-1～15B-mとして図10の電流書き込み型電流ドライバ回路を用いた場合の動作について、図9（A）～（J）のタイミングチャートに基づいて説明する。

k番目の走査線12-kの選択期間において、駆動制御信号d e 1が非選択状態とされ、信号入力線1.6から第1のデータ線ドライバ列（電流ドライバ回路15A-1～15A-m）に対して輝度データs i nの書き込みが可能となる。この間、水平スキヤナ18からは水平クロックh c kに対応して書き込み制御信号w e 1～w e mが順次出力され、信号入力線1.6にはそれに同期して輝度データs i nが電流値の形で与えられ、第1のデータ線ドライバ列に輝度データが書き込まれる。

次に、k+1番目の走査線12-k+1が選択されると駆動制御信号d e 1が選択状態とされ、電流ドライバ回路15A-1～15A-mに書き込まれているデータにしたがってデータ線13-1～データ線13-mが駆動される。このと

き、駆動制御信号  $d_e 2$  は非選択とされており、第 2 のデータ線ドライバ列（電流ドライバ回路  $15B-1 \sim 15B-m$ ）に対して輝度データ  $s_{in}$  の書き込みが行われる。第 2 のデータ線ドライバ列は、次の走査線サイクルにおいて、 $k+2$  番目の走査線  $12-k+2$  が選択されたときにデータ線  $13-1 \sim 13-m$  を  
5 駆動する。

このように、第 1、第 2 のデータ線ドライバ列（電流ドライバ回路  $15A-1 \sim 15A-m, 15B-1 \sim 15B-m$ ）を走査線  $12-1 \sim 13-n$  の切り替わり毎に交互に被書き込み状態／駆動状態とすることにより、データ線ドライバ回路  $15'$  への書き込み時間、データ線  $13-1 \sim 13-m$  の駆動時間の両方を  
10 概ね 1 走査線周期分確保することができるため、データ線ドライバ回路  $15'$  への書き込みおよびデータ線  $13-1 \sim 13-m$  の駆動について確実な動作が可能となる。

なお、本実施形態では、電流ドライバ回路  $15A-1 \sim 15A-m, 15B-1 \sim 15B-m$  として、図 10 に示す電流書き込み型電流ドライバ回路を用いた場合を例に採って説明したが、これに限られるものではなく、図 4、図 6 および図 7 に示す電流書き込み型電流ドライバ回路を用いても、同様の作用効果を奏する。ただし、図 10 の回路例の場合には、書き込み制御信号  $w_{e1} \sim w_{em}$  を入力する信号線が 1 本で済むため、2 本必要とする図 4、図 6 および図 7 の回路例に比べてデータ線ドライバ回路  $15$  と水平スキャナ  $18$  との間を接続する配線本数を半減できるという利点がある。  
20

また、本実施形態に係るアクティブマトリクス型表示装置において、1 走査線周期の間に  $m$  個すべての電流ドライバ回路  $15A-1 \sim 15A-m, 15B-1 \sim 15B-m$  に対する書き込み動作を完了することが難しい場合は、信号入力線  $16$  を複数本設け、並列書き込みを行うようにすることも可能である（第 2 実施  
25 形態の変形例）。

具体的には、図 11 に示すように、例えば 2 本の信号入力線  $16-1, 16-$

2を設けるとともに、電流ドライバ回路15A-1～15A-m, 15B-1～15B-mを図の左側半分と右半分とにブロック化し、電流ドライバ回路15A-1～15A-m, 15B-1～15B-mに対する図の左側半分のデータ書き込みを信号入力線16-1に、図の右側半分のデータ書き込みを信号入力線16-2にそれぞれ担わせるようとする。

この構成を探ることで、電流ドライバ回路15A-1～15A-m, 15B-1～15B-mに対して2個ずつ同時に（並列に）輝度データsinを書き込むことができることから、データ線ドライバ1個当たりの書き込み時間は2倍となるため、書き込み動作は容易になる。同様にして、信号入力線16を3本以上設けることも可能である。

また、このように電流ドライバ回路15A-1～15A-m, 15B-1～15B-mを図の左側半分と右半分とにブロック化した構成のアクティブマトリクス型表示装置に対して、図6で説明した輝度データ書き込みの高速化の概念を適用することもできる。なお、この場合には、電流書き込み型電流ドライバ回路として、図4の回路例のものが用いられることになる。

すなわち、図12に示すように、信号入力線16-1, 16-2の入力部に、インピーダンス変換用トランジスタ、例えばPチャネルTFT40-1, 40-2を挿入するとともに、これらTFT40-1, 40-2を各ゲートをグランド電位よりも高い一定のバイアス電圧値Vbiasでバイアスするようとする。ここで、信号入力線16-1, 16-2にはそれぞれ寄生容量Cs1, Cs2が存在するが、バイアス電圧値Vbiasを適当に設定すれば、PチャネルTFT40-1, 40-2を飽和領域で動作させることができる。

このように、電流ドライバ回路15A-1～15A-m, 15B-1～15B-mをブロック化し、ブロック内の複数の電流ドライバ回路に対して、輝度データの書き込み時に飽和領域で動作するインピーダンス変換用トランジスタ、例えばPチャネルTFT40-1, 40-2を共通に設け、これらTFT40-1,

40-2 の  $W_p / L_p$  を大きな値に設定することで、図 6 の回路説明の場合と同様の理由により、電流ドライバ回路 15A-1 ~ 15A-m, 15B-1 ~ 15B-m の回路構成や定数に変更を加えることなく、輝度データの書き込みの高速化が実現できる。

5 さらに、第 2 実施形態の他の変形例として、図 13 に示す構成を探ることも可能である。図 13 に示すように、この他の変形例に係るアクティブマトリクス型表示装置では、図 11 の構成に加えて、データ線 13-1 ~ 13-m を中央で 2 分割し、表示領域の上下両側にデータ線ドライバ回路 15U, 15D を配置した構成を探っている。

10 この場合、水平スキャナ 18U, 18D も表示領域の上下両側に配置されることになる。また、図 11 の構成も探ることから、上側のデータ線ドライバ回路 15U に対して 2 本の信号入力線 16U-1, 16U-2 が設けられ、下側のデータ線ドライバ回路 15D に対して 2 本の信号入力線 16D-1, 16D-2 が設けられることになる。

15 この他の変形例に係る構成を探ることにより、上下のデータ線ドライバ回路 15U, 15D がそれぞれ駆動するデータ線 13U-1 ~ 13U-m, 13D-1 ~ 13D-m の配線長が図 11 の構成の場合の半分で済むため、各データ線 13U-1 ~ 13U-m, 13D-1 ~ 13D-m の容量が半分となり、その分だけデータ線の駆動時間が短くて良いことになる。

20 さらに、画面内上半分と下半分とで走査線 12-1 ~ 12-n を同時に 1 本ずつ選択・書き込みを行うことができるから、1 本の走査線に対する書き込み時間を 2 倍にできるため、データ線 13U-1 ~ 13U-m, 13D-1 ~ 13D-m の駆動や、データ線ドライバ回路 15U, 15D へのデータ書き込みの動作を確実に行うことが可能である。

#### 25 [第 4 回路例]

図 14 は、電流ドライバ回路の他の回路例を示す回路図である。本例に係る電

流ドライバ回路は、第1実施形態（図1参照）に係るデータ線ドライバ回路15の電流ドライバ回路15-1～15-mまたは第2実施形態に係るデータ線ドライバ回路15'の電流ドライバ回路15A-1～15A-m, 15B-1～15B-mとして用いられる。

5 図14から明らかなように、本例に係る電流ドライバ回路は、4つのTFT41～TFT44および1つのキャパシタ45から構成されている。この回路例では、TFT41, 42をNMOSで構成し、TFT43, 44をPMOSで構成しているが、これは一例であって、これに限られるものではない。

TFT41はそのソースが接地され、そのドレインがデータ線13に接続されている。TFT41のゲートとグランドとの間には、キャパシタCが接続されている。TFT41のゲートにはさらに、TFT42のゲートおよびTFT44のドレインがそれぞれ接続されている。TFT41とTFT42とは近接して配置されるとともに、ゲートが共通接続されることによってカレントミラー回路を形成している。

15 TFT42のソースは接地されている。TFT42のドレイン、TFT43のドレインおよびTFT44のソースが共通に接続されている。TFT43はそのソースが信号入力線16に接続され、そのゲートには第1の書き込み制御信号weAが与えられる。また、TFT43のゲートには、第2の書き込み制御信号weBが与えられる。

20 次に、上記構成の電流ドライバ回路の回路動作について、図15(A)～(C)の駆動波形図を用いて説明する。

本電流ドライバ回路への書き込み時には第1の書き込み制御信号weA、第2の書き込み制御信号weBを共に選択状態とする。ここでは、両者が低レベルの状態を選択状態としている。この状態で信号入力線16に電流値Iwの電流源CSを接続することにより、TFT42にTFT43を通して書き込み電流Iwが流れる。このとき、TFT42のゲート・ドレイン間はTFT44によって電気

的に短絡されているので（3）式が成立し、TFT42は飽和領域で動作する。したがって、TFT42のゲート・ソース間には、（1）式で与えられる電圧 $V_{g_s}$ が生ずる。

次に、第1、第2の書き込み制御信号 $w_{eA}$ 、 $w_{eB}$ を非選択状態とする。詳しくは、先ず、第2の書き込み制御信号 $w_{eB}$ を高レベルとしてTFT44を非導通状態とする。これにより、TFT42のゲート・ソース間に生じた電圧 $V_{g_s}$ がキャパシタ45によって保持される。

次いで、第1の書き込み制御信号 $w_{eA}$ を高レベルとしてTFT43を非導通状態とすることにより、本電流ドライバ回路と電流源CSとが電気的に遮断されるので、その後は電流源CSによって別の電流ドライバ回路に対して書き込みを行うことができる。ここで、電流源CSが駆動するデータは、第2の書き込み制御信号 $w_{eB}$ が非選択となる時点では有効である必要があるが、その後は任意の値（例えば、次の電流ドライバ回路への書き込みデータ）とされて良い。

TFT41とTFT42とはゲートが共通接続されることで、カレントミラーレイアウェイ回路を形成しているため、TFT41が飽和領域で動作していれば、TFT41を流れる電流は（2）式で与えられ、これがすなわちデータ線13に流れる電流となるが、これは先の書き込み電流 $I_w$ に比例する。

つまり、図14に示す回路は、図4に示す回路と同様に、電流値の形で書き込まれた輝度データ $s_{in}$ を一旦電圧値に変換してキャパシタ45に保持し、書き込み終了後もキャパシタ45の電圧値に基づいて、書き込まれた電流値に比例する電流値でデータ線13を駆動する機能を有する。この動作において、TFT41とTFT42とが近接配置されるなどで、これらTFTの移動度 $\mu$ やしきい値 $V_{th}$ が事実上等しければ、それらの絶対値は問題とされない。すなわち、図14の回路は、TFTの特性ばらつきによらず、書き込まれた電流値と正確に比例する電流値でデータ線13を駆動することができる。

本電流ドライバ回路への書き込み電流 $I_w$ とデータ線13の駆動電流 $I_d$ との

関係は、TFT41とTFT42のチャネル幅Wおよびチャネル長Lの設定によって、言いかえればカレントミラー回路のミラー比の設定によって所望の値とすることができる。

例えば、TFT41とTFT42とでW/Lの値を等しくすれば書き込み電流  
5 IWと駆動電流Idは等しくなるし、TFT42のW/LをTFT41のそれより大きくすれば書き込み電流IWは駆動電流Idより大きくなる。後者は、例えば外部の電流源CSが小さな電流を駆動することが難しい場合や、電流ドライバ回路への書き込み時間を高速化したい場合に有効である。

本電流ドライバ回路の変形例を図16に示す。本変形例に係る電流ドライバ回路は、TFT44の接続位置が図14の回路と異なるだけである。すなわち、TFT44は、TFT41のゲートとTFT42のゲートとの間に接続された構成となっている。回路動作としては、図14の回路の場合と同様の動作が可能である。

#### [第5回路例]

15 図17は、電流ドライバ回路のさらに他の回路例を示す回路図である。本例に係る電流ドライバ回路も、第1実施形態(図1参照)に係るデータ線ドライバ回路15の電流ドライバ回路15-1～15-mまたは第2実施形態に係るデータ線ドライバ回路15'の電流ドライバ回路15A-1～15A-m, 15B-1～15B-mとして用いられる。

20 本例に係る電流ドライバ回路は、第1回路例に係る電流ドライバ回路(図4を参照)と基本的な回路部分の構成と同じにしていることから、以下の説明では、異なる回路部分を中心にその構成について説明する。また、図17中、図4と同等部分には同一符号を付して示している。

25 図17において、TFT41のドレインとデータ線13との間にTFT46が挿入されている。このTFT46のゲート・ドレイン間にはTFT47が接続され、そのゲートには第2の書き込み制御信号WEBが与えられる。TFT46の

ゲートとグランドとの間にはキャパシタ48が接続されている。

次に、上記構成の電流ドライバ回路の回路動作について説明する。なお、この回路動作は図4の回路と同様であるので、以下の動作説明では、図5（A）～（D）の駆動波形図を用いるものとする。

5 先ず、本電流ドライバ回路への書き込み時には、駆動制御信号d<sub>e</sub>を非選択状態（低レベル）としてデータ線13に電流が流れないようにした状態で第1、第2の書き込み制御信号w<sub>e</sub>A、w<sub>e</sub>Bを選択状態（高レベル）とすると、書き込み電流I<sub>w</sub>がTFT42を通してTFT41およびTFT46を流れる。このとき、両TFT41、TFT46共、ゲート・ソース間にそれぞれTFT44およびTFT47によって短絡されているので、飽和領域で動作する。

10 次に、第2の書き込み制御信号w<sub>e</sub>Bを非選択状態とする。これにより、TFT41およびTFT46の各ゲート・ソース間に生じた電圧V<sub>gs</sub>がキャパシタ45およびキャパシタ48によってそれぞれ保持される。次に、第1の書き込み制御信号w<sub>e</sub>Aを非選択状態とすることにより、本電流ドライバ回路と信号入力15 線16とが電気的に遮断されるので、その後は信号入力線16を介して別の電流ドライバ回路への書き込みを行うことができる。

15 次に、データ線駆動制御信号d<sub>e</sub>を高レベルとする。TFT41のゲート・ソース間電圧V<sub>gs</sub>はキャパシタ45によって保持されているので、TFT41が飽和領域で動作していれば、TFT41を流れる電流は（5）式の書き込み電流20 I<sub>w</sub>に一致し、これがすなわちデータ線13に流れる電流I<sub>d</sub>となる。つまり、書き込み電流I<sub>w</sub>がデータ線13の駆動電流I<sub>d</sub>と一致する。

ここで、TFT46の作用について説明する。図4の回路においては、前述したように、書き込み電流I<sub>w</sub>、データ線13の駆動電流I<sub>d</sub>は共にTFT41によって決まるので、（5）式、（6）式よりI<sub>w</sub>=I<sub>d</sub>r<sub>v</sub>であった。ただし、25 これはTFT41を流れる電流I<sub>ds</sub>が、飽和領域においてドレイン・ソース間電圧V<sub>ds</sub>に依存しないとした場合である。

しかし現実のトランジスタでは、ゲート・ソース間電圧  $V_{gs}$  が一定であっても、ドレイン・ソース間電圧  $V_{ds}$  が大きい程ドレイン・ソース間  $I_{ds}$  が大きくなる場合がある。これは、ドレイン・ソース間電圧  $V_{ds}$  が大きくなることによってドレイン近傍のピンチオフ点がソース側へ移動し、実効的なチャネル長が減少する、いわゆるショートチャネル効果や、ドレインの電位がチャネル電位に影響を与えてチャネルの導電率が変化する、いわゆるバックゲート効果などそのためである。

この場合、トランジスタを流れる電流  $I_{ds}$  は、例えば、

$$I_{ds} = \mu C_o x W / L / 2 (V_{gs} - V_{th})^2$$

なる関係式で表され、ドレイン・ソース間電圧  $V_{ds}$  に依存することになる。ここで、 $\lambda$  は正の定数である。この場合、図 4 の回路では、書き込み時と駆動時とでドレイン・ソース間電圧  $V_{ds}$  が同一でなければ、書き込み電流  $I_w$  と OLED に流れる電流  $I_{drv}$  とは一致しない。

これに対し、図 17 の回路の動作を考える。図 17 の TFT46 の動作に注目すると、そのドレイン電位は書き込み時と駆動時とで一般に同一ではない。例えば駆動時のドレイン電位の方が高い場合、TFT46 のドレイン・ソース間電圧  $V_{ds}$  も大きくなり、これを (17) 式に当てはめれば、書き込み時と駆動時とでゲート・ソース間電圧  $V_{gs}$  が一定であっても、ドレイン・ソース間電流  $I_{ds}$  は駆動時の方が増加する。換言すれば、書き込み電流  $I_w$  より OLED に流れる電流  $I_{drv}$  が大きくなつて両者は一致しない。

ところが、OLED に流れる電流  $I_{drv}$  は TFT41 を流れるので、その場合 TFT41 での電圧降下が大きくなり、そのドレイン電位 (TFT46 のソース電位) が上昇する。この結果、TFT46 のゲート・ソース間電圧  $V_{gs}$  は小さくなり、これは OLED に流れる電流  $I_{drv}$  を小さくする方向に作用する。結果として、TFT41 のドレイン電位は大きく変動することができず、TFT

4 1に注目すれば、書き込み時と駆動時とでドレイン・ソース間電流  $I_{ds}$  が大きくは変わらないことがわかる。すなわち、書き込み電流  $I_w$  より OLED に流れる電流  $I_{drv}$  とがかなり精度良く一致することになる。

この動作をより良く行わせるためには、TFT 4 1、TFT 4 6 共にドレイン・ソース間電圧  $V_{ds}$  に対するドレイン・ソース間電流  $I_{ds}$  の依存性を小さくする方が良いので、両トランジスタを飽和領域で動作させることが望ましい。書き込み時には TFT 4 1、4 6 共にゲート・ドレイン間が短絡されているので、書き込まれる輝度データによらず、必然的に両者共飽和領域で動作する。駆動時にも飽和領域で動作させるには、データ線 1 3 を十分高い電位とすれば良い。この駆動によれば、データ線 1 3 に流れる電流  $I_d$  は、TFT の特性ばらつきによらず、図 4 の回路例の場合よりも正確に書き込み電流  $I_w$  に一致する。

### [第 3 実施形態]

図 18 は、本発明の第 3 実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図 1 と同等部分には同一部号を付して示している。本実施形態に係るアクティブマトリクス型表示装置において、第 1 実施形態に係るアクティブマトリクス型表示装置との違いは、データ線を駆動するデータ線ドライバ回路の構成にある。

すなわち、第 1 実施形態ではデータ線ドライバ回路 1 5 として電流書き込み型の電流ドライバ回路を用いているのに対し、本実施形態ではデータ線ドライバ回路 1 9 として電圧書き込み型の電流ドライバ回路 (CD) 1 9 - 1 ~ 1 9 - m を用いている。電圧書き込み型の電流ドライバ回路 (以下、単に「電流ドライバ回路」と記す) 1 9 - 1 ~ 1 9 - m は、各出力端がデータ線 1 3 - 1 ~ 1 3 - m の各一端に接続されている。

### [第 6 回路例]

図 19 は、データ線ドライバ回路 1 9 を構成する電圧書き込み型電流ドライバ回路 1 9 - 1 ~ 1 9 - m の具体的な回路例を示す回路図である。なお、電流ドラ

イバ回路 19-1 ~ 19-m の各々は全く同じ回路構成となっている。

図 19 から明らかなように、本例に係る電流ドライバ回路は、2つの TFT 51, 52 および1つのキャパシタ 53 から構成されている。TFT 51 は、データ線 13 とグランドとの間に接続されている。TFT 52 は、TFT 51 のゲートと信号入力線 16 との間に接続されている。キャパシタ 53 は、TFT 51 のゲートとグランドとの間に接続されている。この回路例では、TFT 51, 52 を NMOS で構成しているが、これは一例であって、これに限られるものではない。

上記構成の電流ドライバ回路では、輝度データ *s in* が信号入力線 16 を通して電圧の形で電圧源 VS によって与えられる点が特徴である。輝度データ *s in* の書き込み時は、書き込み制御信号 *w e* を選択状態（ここでは、高レベル）として信号入力線 16 に電圧 *Vw* を印加すると、TFT 52 が導通状態であるため、TFT 51 のゲート・ソース間電圧 *Vgs* が書き込み電圧 *Vw* となる。

この書き込み電圧 *Vw* は、書き込み制御信号 *w e* が非選択状態になってもキャパシタ 53 によって保持される。TFT 51 が飽和領域で動作していれば、TFT 51 を流れる電流 *Id* は、

$$I_d = \mu C_{ox} W / L / 2 (V_w - V_{th})^2 \quad \dots \dots (18)$$

となる。したがって、書き込み電圧 *Vw* によってデータ線 13 の駆動電流 *Id* を制御することができる。

図 18 に示すアクティブマトリクス型表示装置において、データ線ドライバ回路 19 を上記構成の電流ドライバ回路を用いて構成した場合の動作のタイミングチャートを図 20 (A) ~ (G) に示す。なお、その動作は基本的には図 1 の場合と同様であるので、ここではその詳細な説明については省略する。

#### [第 7 回路例]

図 21 は、電圧書き込み型電流ドライバ回路の他の回路例を示す回路図であり、図中、図 19 と同等部分には同一符号を付して示している。本例に係る電流ド

ライバ回路では、図19の回路に、データ線駆動制御信号d<sub>e</sub>で制御されるTFT54を追加した構成となっている。TFT54は、データ線13とのTFT51のドレインとの間に接続され、そのゲートに駆動制御信号d<sub>e</sub>が与えられる。この回路例でも、TFT51, 52, 54をNMOSで構成しているが、これは  
5 一例であって、これに限られるものではない。

10 このように、データ線13とのTFT51のドレインとの間に、駆動制御信号d<sub>e</sub>で制御されるTFT54を接続した構成を探ることにより、当該電流ドライバ回路を用いて図1、図8、図11あるいは図12に示すようなアクティブマトリクス型表示装置を構成することが可能となる。特に、図8、図11あるいは図  
12の構成のアクティブマトリクス型表示装置に適用した場合には、データ線ドライバ回路が2列（2系統）設置されていることから、データ線ドライバ回路への書き込みとデータ線13-1～13-mの駆動を交互に行わせることによってそれぞれの動作時間に余裕が生ずる。

#### [第8回路例]

15 図22は、電圧書き込み型電流ドライバ回路のさらに他の回路例を示す回路図であり、図中、図21と同等部分には同一符号を付して示している。本例に係る電流ドライバ回路では、図21の回路に、TFT51のゲートとドレインとの間に接続されたリセットTFT57と、TFT51のゲートとTFT52のソースとの間に接続されたデータ書き込みキャパシタ58とを追加した構成となっている。  
20

ところで、図21の回路例では、輝度データが電圧の形で与えられ、それがそのままキャパシタ53に保持され、その保持された電圧に基づいてTFT51がデータ線に電流を流す構成となっているが、この構成では、TFT51のしきい値がばらつくと、(1)式に従って駆動電流がばらつき、画像の品位を損ねる可  
25 能性がある。

これに対し、本回路例に係る電圧書き込み型電流ドライバ回路では、リセット

TFT57によってTFT51のゲート・ドレインを所定の期間電気的に短絡させる動作を行った後、TFT51のゲートと信号入力線16とをデータ書き込みキャパシタ58によって容量結合させる構成を探ることにより、TFT51のしきい値がばらついても、駆動電流がばらつかないため、画像の品位を損ねることはない。以下に、図23(A)～(D)のタイミングチャートを用いてその具体的な動作説明を行う。

先ず、TFT54がオン状態であるとき、リセットTFT57のゲートに高レベルのリセット信号rstを与えることによって当該TFT57をオン状態とする。すると、TFT51のゲート・ドレインが電気的に短絡されるが、このとき10 TFT54がオン状態であって、データ線からTFT54およびTFT51を介してグランドに向かって電流が流れているため、TFT51のゲート・ソース間電圧は、そのしきい値Vthよりも高くなっている。

次に、TFT54のゲートに与えられる駆動信号deが低レベルになることによってTFT54がオフ状態になると、TFT51を流れる電流は、所定の時間15 を経過した後にゼロになる。このとき、そのドレイン・ゲート間がTFT57によって短絡されているため、TFT51のドレインおよびゲートの電位は次第に低下していく、その値がTFT51のしきい値Vthとなった状態で安定する。このとき、TFT52のゲートに高レベルの書き込み制御信号weが印加されることで、信号入力線16は所定の電位（本例では、グランドレベル）にされている20 （以下、この動作をリセット動作と称する）。その後に、信号入力線16に信号電圧Vwを印加する。

信号入力線16とTFT51のゲートとは、データ書き込みキャパシタ58を介して、即ち容量結合で接続されているため、キャパシタ53、58の容量値をC<sub>o</sub>、C<sub>d</sub>とすると、TFT51のゲート電位は概ね

$$25 \quad \Delta Vg = Vw \times C_d / (C_d + C_o) \quad \dots \dots (19)$$

だけ上昇する。信号電圧Vwの印加前にはVg=Vthであったから、TFT5

1 のゲート・ソース間電圧  $V_{gs}$  は、

$$\begin{aligned} V_{gs} &= V_{th} + \Delta V_g \\ &= V_{th} + V_w \times C_d / (C_d + C_o) \end{aligned} \quad \dots \dots (20)$$

となる（以下、この動作を被書き込み動作と称する）。

5 信号電圧  $V_w$  の印加後は TFT52 をオフ状態とし、TFT54 のゲートに駆動制御信号  $d_e$  を与えることによって当該 TFT54 をオン状態とすれば、TFT51 によってデータ線に電流が流れる。このとき、その電流値  $I_d$  は (1) 式および (20) 式から

$$I_d = \mu C_o \times W / L / 2 \{V_w \times C_d / (C_d + C_o)\}^2 \dots \dots (21)$$

10 となる（以下、この動作を駆動動作と称する）。(21) 式はしきい値  $V_{th}$  を含まないことから、駆動電流値  $I_d$  は TFT51 のしきい値  $V_{th}$  のばらつきによらないことがわかる。

15 図 24 は、第 8 回路例の変形例を示す回路図であり、図中、図 22 と同等部分には同一符号を付して示している。本変形例に係る電流ドライバ回路では、キャパシタ 53 がデータ書き込みキャパシタ 58 の出力端とグランドとの間に接続されている第 8 回路例に対して、データ書き込みキャパシタ 58 の入力端とグランドとの間に接続されている点が相違しているのみであり、その他の構成および動作タイミングチャートは同じである。

20 このように、キャパシタ 53 をデータ書き込みキャパシタ 58 の入力端とグランドとの間に接続した構成を探ることにより、信号電圧  $V_w$  を印加した後の TFT51 のゲート・ソース間電圧  $V_{gs}$  がほぼ  $V_{th} + V_w$  で与えられる。すなわち、第 8 回路例に係る電流ドライバ回路に比べて、同じ信号電圧  $V_w$  に対してより大きなゲート・ソース間電圧  $V_{gs}$  が得られる利点がある。

25 図 25 は、第 8 回路例のさらに他の変形例を示す回路図であり、図中、図 24 と同等部分には同一符号を付して示している。本変形例に係る電流ドライバ回路では、データ書き込みキャパシタ 58 の信号入力線側ノードと所定の電位点（本

例では、グランド)との間に接続されたスイッチ素子、例えばTFT59が新たに付加された点およびそれに対応するリセット動作の点で、図24の回路例に係る電流ドライバ回路と相違している。

以下に、本変形例に係る電流ドライバ回路の動作について、図26(A)～(D)のタイミングチャートを用いて説明する。リセット動作時には、図24の回路例と同様に、TFT57のゲートに高レベルのリセット信号rstを与えることによって当該TFT57をオン状態にすることで、TFT51のゲート・ドレンが電気的に短絡される。

次に、TFT54のゲートに与えられる駆動信号deが低レベルとなってTFT54がオフ状態になると、図24の回路例と同様に、TFT51のゲートおよびドレンはそのしきい値Vthとなった状態で安定する。ただしこのとき、TFT52のゲートに与えられる書き込み制御信号weは低レベルのままであり、代わりに新たに付加されたTFT59がリセット信号rstによってオン状態となるため、そのドレン電位は所定の電位（本例では、グランドレベル）になる。

その後、リセット信号rstが低レベルとなることで、TFT59はオフ状態となり、しかる後に書き込み制御信号weが高レベルとなる。信号入力線16には信号電圧Vwが印加されているので、データ書き込みキャパシタ58を通して信号電圧Vwが駆動トランジスタ51のゲートに伝達され、そのゲート・ソース間電圧は図24の回路例と同様に、概ねVth+Vwとなる。

このように、図25の回路例に係る電流ドライバ回路においては、基本的な動作は図24の回路例と同様であるが、そのメリットは、信号入力線16の制御が簡単になるとともに、書き込み速度が速くなる点にある。すなわち、図24の回路例のように、リセット動作時に、信号入力線16およびTFT52を通してキャパシタ53を基準電位（本例では、グランドレベル）にリセットする構成を採った場合には、信号入力線16の電位の制御が必要となる。

これに対して、図25の回路例では、TFT59によって簡便にキャパシタ53のリセットを行うことができるため、信号入力線16に基準電位を与える必要がない。したがって、信号入力線16の制御が簡単になり、しかも例えば図26(A)～(D)に示すように、データ線駆動回路への信号電圧Vwの書き込み終了後は、信号入力線16は任意の電位、例えば次の書き込みサイクルの信号電圧とされて良いため、信号電圧Vwの書き込みを高速に行えることになる。

#### [第4実施形態]

図27は、本発明の第4実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図18と同等部分には同一符号を付して示している。本実施形態に係るアクティブマトリクス型表示装置は、第3実施形態に係るアクティブマトリクス型表示装置と異なる点は、データ線ドライバ回路19'の構成にある。

すなわち、第3実施形態に係るアクティブマトリクス型表示装置では、データ線ドライバ回路19が1系統の電圧書き込み型電流ドライバ回路(CD)19-1～19-mによって構成されているのに対して、本実施形態に係るアクティブマトリクス型表示装置では、データ線ドライバ回路19'が3系統の電圧書き込み型電流ドライバ回路19A-1～19A-m, 19B-1～19B-m, 19C-1～19C-mによって構成されている

そして、3系統の電圧書き込み型電流ドライバ回路19A-1～19A-m, 19B-1～19B-m, 19C-1～19C-mとして、先述した第8回路例に係る電圧書き込み型電流ドライバ回路、即ち駆動TFT51のゲート・ドレインを所定の期間電気的に短絡させる動作を行った後、TFT51のゲートと信号入力線16とを容量結合させることで、TFT51のしきい値がばらついても、駆動電流がばらつかないようにしたドライバ回路が用いられる。

電圧書き込み型電流ドライバ回路をデータ線毎に3系統設けた理由は次の通りである。すなわち、第8回路例に係る電流ドライバ回路は、先述したように、リ

セット動作・被書き込み動作・駆動動作の3種類の動作を繰り返すことによって所望の機能を果たす。そこで、本実施形態に係るアクティブマトリクス型表示装置では、ある走査サイクルにおいて、図28（A）～（C）に示すように、3列（3系統）あるデータ線駆動回路のうち1列がリセット動作を、別の1列が書き込み動作を、残りの1列が駆動動作を行うようにし、各々の動作を走査線切り替え周期ごとに切り替えるようにしている。

このように、リセット動作・書き込み動作・駆動動作の3種類の動作を繰り返すことによって所望の機能を果たす電圧書き込み型電流ドライバ回路をデータ線ドライバ回路として用いたアクティブマトリクス型表示装置において、電圧書き込み型電流ドライバ回路を1本のデータ線について3系統ずつ設け、ある走査サイクルにおいて1系統のドライバ回路がリセット動作を、他の1系統のドライバ回路が書き込み動作を、残りの1系統のドライバ回路が駆動動作を行うようにしたことで、各々の動作に1走査線の切り替え周期（1H）を費やすことが可能となるため、確実な動作が可能となる。

## 15 [第5実施形態]

図29は、本発明の第5実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図1と同等部分には同一符号を付して示している。本実施形態に係るアクティブマトリクス型表示装置は、第1実施形態に係るアクティブマトリクス型表示装置と基本的な構成が全く同じであり、これに加えて、信号入力線16とグランドとの間に、例えばNMOStランジスタからなるリーク素子（LK）55を接続した点を特徴としている。

以下に、リーク素子55の作用について説明する。電流書き込み型の画素回路において、「黒」を書き込むケースは書き込み電流がゼロの場合に相当する。このとき、直前の書き込みサイクルにおいて信号入力線16に「白」レベル、即ち比較的大きな電流が書き込まれ、結果として、信号入力線16の電位が比較的高いレベルになっていたとすると、その直後に「黒」を書き込むのには長い時間が

必要である。

なんとなれば、「黒」を書き込むというのは、例えば図4に示す電流ドライバ回路において、TFT31によって信号入力線16の容量Csなどに蓄えられた初期電荷がディスチャージされ、図30に示すように、信号入力線16の電圧が

5 TFT31のしきい値になるということである。このように、信号入力線16の電圧が下がってTFT31のしきい値近傍になると、TFT31のインピーダンスが高くなり、理論的には永久に「黒」書き込みが終了しない。現実には、有限の時間で書き込みを行う訳であるから、これは「黒」レベルが完全に沈まない、いわゆる黒浮き現象として現れ、画像のコントラストを低下させる。

10 これに対し、本実施形態に係るアクティブマトリクス型表示装置では、信号入力線16と所定の電位点（例えば、接地電位）との間にリーク素子55、具体的にはNMOSトランジスタを接続し、そのゲート電圧Vgとして一定バイアスを与えるようにしている。これにより、図30に示すように、「黒」書き込み時にTFT31のしきい値近傍においてもデータ線電位が比較的高速に低下し、上述15 した黒浮きを防止することができる。

なお、リーク素子55としては、単純な抵抗素子などでも良いが、その場合、「白」書き込み時においてデータ線電位が上昇すると、それに比例して抵抗素子に流れる電流が増加する。これは、図4に示す電流ドライバ回路において、TFT31に流れる電流の低下や消費電力の悪化を招く。

20 これに対して、図29に示すように、リーク素子55としてNMOSトランジスタを使用し、当該トランジスタを飽和領域で動作させれば定電流動作となるため、そのような弊害を最小限に抑えることができる。また、NMOSトランジスタのリーク素子（LK）55を、必要なとき（例えば、黒書き込み時）にのみ導通状態になるようにゲート電位を制御する構成を探ることもできる。

25 このように、信号入力線16と接地電位との間にリーク素子55を接続する構成は、データ線ドライバ回路として図4のような電流書き込み型のドライバ回路

を用いた図 1 の構成のアクティブマトリクス型表示装置への適用に限られるものではなく、他の電流書き込み型のドライバ回路、あるいは図 1 9 のような電圧書き込み型のデータ線ドライバ回路を用いた構成のアクティブマトリクス型表示装置にも同様に適用可能である。なお、リーケ素子 5 5 としては、TFTで構成することも、TFTプロセスとは別個に外部部品で構成することも可能である。  
5

#### [第 6 実施形態]

図 3 1 は、本発明の第 6 実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図 1 と同等部分には同一符号を付して示している。本実施形態に係るアクティブマトリクス型表示装置は、第 1 実施形態に  
10 係るアクティブマトリクス型表示装置と基本的な構成が全く同じであり、これに加えて、信号入力線 1 6 と正電源 Vdd との間に、初期値設定用素子、例えば PMOSトランジスタからなるプリチャージ素子 (PC) 5 6 を接続した点を特徴としている。

以下に、プリチャージ素子 5 6 の作用について説明する。電流書き込み型の画  
15 素回路において、黒に近いグレーを書き込む際に長い時間を要する場合がある。

図 3 2 では、書き込み開始時のデータ線の電位が 0 V である場合を示している。これは、直前の書き込みサイクルにおいて「黒」を書いた場合で、書き込まれた電流ドライバ回路 (例えば、図 4 の場合) の TFT 3 1 のしきい値が 0 V 程度と低い場合、あるいは同様に黒書き込みの場合であって、前述のような黒浮き対策  
20 用のリーケ素子 5 5 を備えた場合に起こり得る。

従来技術では、初期値の 0 V から「黒」に近いグレー、即ち非常に小さな電流  
25 値を書き込んでいるため、平衡電位に達するのに長い時間がかかる。例えば、所定の書き込み時間内に TFT 3 1 のしきい値に達しないことも考えられる。この場合、TFT 3 1 はデータ線 1 3 の駆動時にオフ状態となり、表示画像はいわゆる黒潰れの状態となる。

本実施形態に係るアクティブマトリクス型表示装置では、データ線 1 3 と電源

電位  $V_{dd}$  との間に、プリチャージ素子 56 として PMOS ドラゴンジスタを接続し、そのゲート電位  $V_g$  として、書き込みサイクルの最初にパルスを与えるようにしている。このパルス印加によって、信号入力線 16 の電圧が TFT 31 のしきい値以上に上昇し、その後は書き込み電流  $I_w$  とデータ線ドライバ回路内部の TFT の動作とのバランスで決まる平衡電位に向かって比較的高速に収束するので、正しい輝度データの書き込みが高速で可能になる。

このように、信号入力線 16 と正電源  $V_{dd}$  との間にプリチャージ素子 56 を接続する構成は、データ線ドライバ回路として図 4 のような電流書き込み型のドライバ回路を用いた図 1 の構成のアクティブマトリクス型表示装置への適用に限られるものではなく、他の電流書き込み型のドライバ回路を用いた構成のアクティブマトリクス型表示装置にも同様に適用可能である。なお、プリチャージ素子 56 としては、TFT で構成することも、TFT プロセスとは別個に外部部品で構成することも可能である。

なお、上記各実施形態では、電流書き込み型画素回路 11 の表示素子として、有機EL 素子を用いたアクティブマトリクス型有機EL 表示装置に適用した場合を例に探って説明したが、本発明はこれに限定されるものではなく、流れる電流によって輝度が変化する電気光学素子を表示素子として用いたアクティブマトリクス型表示装置全般に適用し得るものである。

また、上記各実施形態で用いる各回路例においては、書き込み電流を電圧に変換する変換部としての第 1 の電界効果トランジスタと、キャパシタ（保持部）で保持した電圧を駆動電流に変換してデータ線を駆動する駆動部としての第 2 の電界効果トランジスタとをそれぞれ別々のトランジスタで構成するとしたが、同一のトランジスタで構成し、電流-電圧の変換動作とそれに基づくデータ線の駆動動作とを時分割的に行うように構成することも可能である。これによれば、原理的に、両動作間にばらつきが生じない。

### 産業上の利用可能性

以上説明したように、本発明によれば、電流書き込み型の画素回路を用いたアクティブラマトリクス型表示装置において、画像情報を駆動回路で電圧の形で一旦  
5 保持した後、電流の形に変換して複数本のデータ線の各々に（一括して同時に）与えることによって各画素回路に対する画像情報の書き込み駆動を行うようにしたことにした。これにより、各画素回路への画像情報の書き込みを線順次にて行うことができ、表示パネルと外部のデータドライバ回路との接続点数を削減しつつ正常な電流書き込み動作を実現することが可能となる。

10

## 請求の範囲

1. 画像情報が電流の形で与えられる画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に画像  
5 情報を供給する複数本のデータ線が配線されてなる表示部と、

画像情報を一旦保持した後電流の形で前記複数本のデータ線の各々に与  
えることによって各画素回路に対する画像情報の書き込み駆動を行う駆動回路と  
を備えたことを特徴とするアクティブマトリクス型表示装置。

2. 前記画素回路の各々は、流れる電流によって輝度が変化する電気光学素  
10 子を有し、

前記駆動回路は、輝度に応じた大きさの電流を、前記複数本のデータ線  
を介して前記画素回路の各々に流すことによって画像情報の書き込みを行う  
ことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

3. 前記駆動回路は前記複数本のデータ線毎に設けられ、前記画像情報を電  
15 圧の形で保持する保持部と、前記保持部にて保持した電圧を電流に変換して前記  
複数本のデータ線の各々に供給する駆動部とを有する

ことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

4. 前記駆動回路は前記画像情報が電流の形で与えられ、この電流を電圧に  
変換する変換部を有し、この変換部で変換した電圧を前記保持部で保持する  
20 ことを特徴とする請求項3記載のアクティブマトリクス型表示装置。

5. 前記駆動回路において、

前記変換部は、ドレインとゲートとが電気的に短絡された状態にあるとき、前記画像情報が電流の形で供給されることによってそのゲート・ソース間に電圧を発生する第1の電界効果トランジスタを含み、

25 前記保持部は、前記第1の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタを含み、

前記駆動部は、前記キャパシタの保持電圧に基づいて前記複数本のデータ線の各々を駆動する第2の電界効果トランジスタを含む

ことを特徴とする請求項4記載のアクティブマトリクス型表示装置。

6. 画像情報が電流の形で与えられる画素回路がマトリクス状に配置される  
5 とともに、これら各画素回路を選択する複数本の走査線および各画素回路に画像  
情報を供給する複数本のデータ線が配線されてなる表示部と、

画像情報を一旦保持した後電流の形で前記複数本のデータ線の各々に与  
えることによって各画素回路に対する画像情報の書き込み駆動を行う駆動回路と  
を備え、

10 前記駆動回路は、前記画像情報が電流の形で与えられ、この電流を電圧  
に変換する変換部と、この変換部で変換した電圧を保持する保持部と、該保持部  
にて保持した電圧を電流に変換して前記複数本のデータ線の各々に供給する駆動  
部とを有し、

前記変換部と前記駆動回路に前記画像情報を供給する電流源との間に、  
15 前記画像情報の書き込み時に飽和領域で動作するインピーダンス変換用トランジ  
スタを有する  
ことを特徴とするアクティブマトリクス型表示装置。

7. 前記変換部は、ドレインとゲートとが電気的に短絡された状態にあると  
き、前記画像情報が電流の形で供給されることによってそのゲート・ソース間に  
20 電圧を発生する第1の電界効果トランジスタを含み、

前記保持部は、前記第1の電界効果トランジスタのゲート・ソース間に  
発生する電圧を保持するキャパシタを含み、

前記駆動部は、前記キャパシタの保持電圧に基づいて前記複数本のデータ  
線の各々を駆動する第2の電界効果トランジスタを含み、

25 前記第1の電界効果トランジスタと前記駆動回路に前記画像情報を供給  
する電流源との間に、前記画像情報の書き込み時に飽和領域で動作するインピー

ダンス変換用トランジスタを有する

ことを特徴とする請求項 6 記載のアクティプマトリクス型表示装置。

8. 前記インピーダンス変換用トランジスタは、前記第 1 の電界効果トランジスタと導電型の異なるトランジスタであり、前記駆動回路毎に設けられている  
5 ことを特徴とする請求項 7 記載のアクティプマトリクス型表示装置。

9. 前記複数本のデータ線毎に設けられた前記駆動回路がブロック化されて  
おり、

前記インピーダンス変換用トランジスタは、ブロック内の複数の駆動回路に対して共通に設けられている

10 ことを特徴とする請求項 7 記載のアクティプマトリクス型表示装置。

10. 前記駆動回路は、前記第 1, 第 2 の電界効果トランジスタとして同一の  
トランジスタを用い、

前記第 1 の電界効果トランジスタによる電流-電圧の変換と、それに基づく前記第 2 の電界効果トランジスタによるデータ線の駆動とを時分割的に行う  
15 ことを特徴とする請求項 5 記載のアクティプマトリクス型表示装置。

11. 前記駆動回路は、前記画像情報を入力する信号入力線と前記第 1 の電界効果トランジスタとを接続または遮断する第 1 のスイッチ素子と、前記第 1 の電界効果トランジスタのドレインとゲートとを接続または遮断する第 2 のスイッチ素子とを有し、

20 前記画像情報の取り込み時には前記第 1 および第 2 のスイッチ素子を接続状態とし、その取り込み終了時には前記第 2 のスイッチ素子を遮断状態とし、  
かかる後前記第 1 のスイッチ素子を遮断状態とする

ことを特徴とする請求項 5 記載のアクティプマトリクス型表示装置。

12. 前記駆動回路は、前記第 1, 第 2 の電界効果トランジスタとしてほぼ同  
25 一の特性を有するトランジスタを用い、

前記第 1, 第 2 の電界効果トランジスタは、カレントミラー回路を形成

している

ことを特徴とする請求項 5 記載のアクティブマトリクス型表示装置。

13. 前記駆動回路は、前記画像情報を入力する信号入力線と前記第 1 の電界効果トランジスタとを接続または遮断する第 1 のスイッチ素子と、前記第 1 の電界効果トランジスタのゲートと前記第 2 の電界効果トランジスタのゲートとを接続または遮断する第 2 のスイッチ素子とを有し、

前記画像情報の取り込み時には前記第 1 および前記第 2 のスイッチ素子を接続状態とし、その取り込み終了時には前記第 2 のスイッチ素子を遮断状態とし、かかる後前記第 1 のスイッチ素子を遮断状態とする

- 10 ことを特徴とする請求項 12 記載のアクティブマトリクス型表示装置。

14. 前記駆動回路において、前記第 1 の電界効果トランジスタのチャネル幅／チャネル長が、前記第 2 の電界効果トランジスタのチャネル幅／チャネル長よりも大きい

ことを特徴とする請求項 13 記載のアクティブマトリクス型表示装置。

- 15 15. 前記駆動回路は、前記第 1 のスイッチ素子と前記第 1 の電界効果トランジスタとの間に接続された第 3 の電界効果トランジスタと、前記第 3 の電界効果トランジスタのドレインとゲートとの間を接続または遮断する第 3 のスイッチ素子と、前記第 3 の電界効果トランジスタのゲートに接続された第 2 のキャパシタとを有し、

20 前記第 1 の電界効果トランジスタが前記第 2 のスイッチ素子により、また前記第 3 の電界効果トランジスタが前記第 3 のスイッチ素子により、共にドレインとゲートとが接続された状態にあるとき、これらトランジスタのドレイン・ソース間に前記第 1 のスイッチ素子を通して前記画像情報が電流の形で供給される

- 25 ことを特徴とする請求項 11 記載のアクティブマトリクス型表示装置。

16. 前記複数本のデータ線毎に設けられた複数個の前記駆動回路は、同一の

信号入力線を共有し、これを時分割的に使用しつつ画像情報の取り込みを行うことを特徴とする請求項 3 記載のアクティブマトリクス型表示装置。

17. 前記駆動回路は、前記画像情報が電圧の形で与えられ、この電圧を前記保持部で保持する

5 ことを特徴とする請求項 3 記載のアクティブマトリクス型表示装置。

18. 前記駆動回路において、

前記保持部は、前記画像情報に応じた電圧を保持する保持キャパシタを含み、

前記駆動回路は、前記保持キャパシタの保持電圧に基づいて前記複数本  
10 のデータ線の各々を駆動する電界効果トランジスタを含み、

前記電界効果トランジスタは、そのゲート・ドレインを電気的に短絡される動作の後、そのゲートと信号入力線とが書き込みキャパシタを介して容量結合された状態で画像情報が与えられる

ことを特徴とする請求項 17 記載のアクティブマトリクス型表示装置。

15 19. 前記駆動回路は、前記書き込みキャパシタの信号入力線側ノードと所定の電位点との間に接続されたスイッチ素子を有し、

前記電界効果トランジスタがそのゲート・ドレイン間を電気的に接続される動作が行われている間に、前記スイッチ素子が短絡されることによって前記書き込みキャパシタの信号入力線側ノードが前記所定の電位となる

20 ことを特徴とする請求項 18 記載のアクティブマトリクス型表示装置。

20. 前記駆動回路は、1本のデータ線について複数系統ずつ設けられていることを特徴とする請求項 3 記載のアクティブマトリクス型表示装置。

21. 前記駆動回路は、1本のデータ線について2系統ずつ設けられ、一方の系統の駆動回路がデータ線を駆動する間に他方の系統の駆動回路が画像情報の取り込みを行う

25 ことを特徴とする請求項 20 記載のアクティブマトリクス型表示装置。

22. 前記駆動回路は、1本のデータ線について3系統ずつ設けられ、ある走査サイクルにおいて1系統の駆動回路がリセット動作を、他の1系統の駆動回路がデータ書き込み動作を、残りの1系統がデータ線駆動動作を行うことを特徴とする請求項20記載のアクティブマトリクス型表示装置。

5 23. 前記駆動回路を構成するトランジスタは、前記画素回路を構成するトランジスタと同時に形成される薄膜トランジスタである

ことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

24. 前記画像情報を入力する信号入力線と所定の電位点との間にリーク素子を有する

10 ことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

25. 前記画像情報を入力する信号入力線と所定の電位点との間に、前記信号入力線を通して前記駆動回路へ前記画像情報を供給するのに先立って前記信号入力線の電位を所定の値に設定する初期値設定用素子を有する

ことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

15 26. 画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に画像情報を供給する複数本のデータ線が配線されてなる表示部と、

前記複数本のデータ線の各々を通して前記画素回路の各々に対する画像情報の書き込み駆動を行う駆動回路とを具備するアクティブマトリクス型表示装

20 置であつて、

前記画素回路は、流れる電流によって輝度が変化する電気光学素子と、ソースまたはドレインが前記データ線に接続され、かつゲートが前記走査線に接続された第1の電界効果トランジスタと、ドレインとゲートとが接続された状態にあるとき、前記第1の電界効果トランジスタを通して前記データ線から電流が供給されることによってそのゲート・ソース間に電圧を発生する第2の電界効果トランジスタと、前記第2の電界効果トランジスタに発生する電圧を保持するキ

ヤパシタと、前記キャパシタでの電圧保持の状態を維持する第3の電界効果トランジスタと、前記キャパシタにて保持した電圧を駆動電流に変換して前記電気光学素子に流す第4の電界効果トランジスタとを有し、

前記駆動回路は、ドレンとゲートとが電気的に短絡された状態にある

5 とき、前記画像情報が電流の形で供給されることによってそのゲート・ソース間に電圧を発生する第5の電界効果トランジスタと、前記第5の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタと、前記キャパシタにて保持した電圧を電流に変換して前記複数本のデータ線の各々に供給する第6の電界効果トランジスタとを有する

10 ことを特徴とするアクティブマトリクス型表示装置。

27. 前記駆動回路における前記第1の電界効果トランジスタと該駆動回路に前記画像情報を供給する電流源との間に、前記画像情報の書き込み時に飽和領域で動作するインピーダンス変換用トランジスタを有する

ことを特徴とする請求項26記載のアクティブマトリクス型表示装置。

15 28. 前記インピーダンス変換用トランジスタは、前記第1の電界効果トランジスタと導電型の異なるトランジスタである

ことを特徴とする請求項27記載のアクティブマトリクス型表示装置。

29. 前記インピーダンス変換用トランジスタは、前記駆動回路毎に設けられている

20 ことを特徴とする請求項27記載のアクティブマトリクス型表示装置。

30. 前記複数本のデータ線毎に設けられた前記駆動回路がブロック化されており、

前記インピーダンス変換用トランジスタは、ブロック内の複数の駆動回路に対して共通に設けられている

25 ことを特徴とする請求項27記載のアクティブマトリクス型表示装置。

31. 前記駆動回路は、前記第1、第2の電界効果トランジスタとして同一の

トランジスタを用い、

前記第1の電界効果トランジスタによる電流－電圧の変換と、それに基づく前記第2の電界効果トランジスタによるデータ線の駆動とを時分割的に行うことの特徴とする請求項26記載のアクティプマトリクス型表示装置。

5 3 2. 前記駆動回路は、前記画像情報を入力する信号入力線と前記第1の電界効果トランジスタとを接続または遮断する第1のスイッチ素子と、前記第1の電界効果トランジスタのドレインとゲートとを接続または遮断する第2のスイッチ素子とを有し、

前記画像情報の取り込み時には前記第1および第2のスイッチ素子を接続状態とし、その取り込み終了時には前記第2のスイッチ素子を遮断状態とし、  
10 かかる後前記第1のスイッチ素子を遮断状態とする  
ことを特徴とする請求項26記載のアクティプマトリクス型表示装置。

3 3. 前記駆動回路は、前記第1、第2の電界効果トランジスタとしてほぼ同一の特性を有するトランジスタを用い、

15 前記第1、第2の電界効果トランジスタは、カレントミラー回路を形成している  
ことを特徴とする請求項26記載のアクティプマトリクス型表示装置。

3 4. 前記駆動回路は、前記画像情報を入力する信号入力線と前記第1の電界効果トランジスタとを接続または遮断する第1のスイッチ素子と、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートとを接続または遮断する第2のスイッチ素子とを有し、

前記画像情報の取り込み時には前記第1および前記第2のスイッチ素子を接続状態とし、その取り込み終了時には前記第2のスイッチ素子を遮断状態とし、かかる後前記第1のスイッチ素子を遮断状態とする

25 ことを特徴とする請求項33記載のアクティプマトリクス型表示装置。

3 5. 前記駆動回路において、前記第1の電界効果トランジスタのチャネル幅

／チャネル長が、前記第2の電界効果トランジスタのチャネル幅／チャネル長よりも大きい

ことを特徴とする請求項34記載のアクティブマトリクス型表示装置。

36. 前記駆動回路は、前記第1のスイッチ素子と前記第1の電界効果トランジスタとの間に接続された第3の電界効果トランジスタと、前記第3の電界効果トランジスタのドレインとゲートとの間を接続または遮断する第3のスイッチ素子と、前記第3の電界効果トランジスタのゲートに接続された第2のキャパシタとを有し、

前記第1の電界効果トランジスタが前記第2のスイッチ素子により、また前記第3の電界効果トランジスタが前記第3のスイッチ素子により、共にドレンとゲートとが接続された状態にあるとき、これらトランジスタのドレン・ソース間に前記第1のスイッチ素子を通して前記画像情報が電流の形で供給される

ことを特徴とする請求項32記載のアクティブマトリクス型表示装置。

37. 第1,第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を表示素子として用い、画像情報が電流の形で与えられる画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に輝度情報を供給する複数本のデータ線が配線されてなる表示部と、

画像情報を一旦保持した後電流の形で前記複数本のデータ線の各々に与えることによって各画素回路に対する画像情報の書き込み駆動を行う駆動回路とを備えたことを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

38. 前記駆動回路は、前記複数本のデータ線毎に設けられ、前記画像情報を電圧の形で保持する保持部と、前記保持部にて保持した電圧を電流に変換して前記複数本のデータ線の各々に供給する駆動部とを有する

ことを特徴とする請求項 3 7 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

3 9. 前記駆動回路は前記画像情報が電流の形で与えられ、この電流を電圧に変換する変換部を有し、この変換部で変換した電圧を前記保持部で保持する

5 ことを特徴とする請求項 3 8 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

4 0. 前記駆動回路において、

前記変換部は、ドレインとゲートとが電気的に短絡された状態にあるとき、前記画像情報が電流の形で供給されることによってそのゲート・ソース間に 10 電圧を発生する第 1 の電界効果トランジスタを含み、

前記保持部は、前記第 1 の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタを含み、

前記駆動部は、前記キャパシタの保持電圧に基づいて前記複数本のデータ線の各々を駆動する第 2 の電界効果トランジスタを含む

15 ことを特徴とする請求項 3 9 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

4 1. 第 1 , 第 2 の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を表示素子として用い、画像情報が電流の形で与えられる画素回路がマトリクス状に配置されるとともに、これら各画素回路を選択する複数本の走査線および各画素回路に輝度情報を供給する複数本のデータ 20 線が配線されてなる表示部と、

画像情報を一旦保持した後電流の形で前記複数本のデータ線の各々に与えることによって各画素回路に対する画像情報の書き込み駆動を行う駆動回路とを備え、

25 前記駆動回路は、前記画像情報が電流の形で与えられ、この電流を電圧に変換する変換部と、この変換部で変換した電圧を保持する保持部と、該保持部

にて保持した電圧を電流に変換して前記複数本のデータ線の各々に供給する駆動部とを有し、

前記変換部と前記駆動回路に前記画像情報を供給する電流源との間に、  
前記画像情報の書き込み時に飽和領域で動作するインピーダンス変換用トランジ

5 スタを有する

ことを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

4 2. 前記変換部は、ドレインとゲートとが電気的に短絡された状態にあるとき、前記画像情報が電流の形で供給されることによってそのゲート・ソース間に

10 電圧を発生する第1の電界効果トランジスタを含み、

前記保持部は、前記第1の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタを含み、

前記駆動部は、前記キャパシタの保持電圧に基づいて前記複数本のデータ線の各々を駆動する第2の電界効果トランジスタを含み、

15 前記第1の電界効果トランジスタと前記駆動回路に前記画像情報を供給する電流源との間に、前記画像情報の書き込み時に飽和領域で動作するインピーダンス変換用トランジスタを有する

ことを特徴とする請求項4 1記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

20 4 3. 前記インピーダンス変換用トランジスタは、前記第1の電界効果トランジスタと導電型の異なるトランジスタであり、前記駆動回路毎に設けられていることを特徴とする請求項4 2記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

4 4. 前記複数本のデータ線毎に設けられた前記駆動回路がロック化されており、

前記インピーダンス変換用トランジスタは、ロック内の複数の駆動回

路に対して共通に設けられている

ことを特徴とする請求項 4 2 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

4 5. 前記駆動回路は、前記第 1, 第 2 の電界効果トランジスタとして同一の  
5 トランジスタを用い、

前記第 1 の電界効果トランジスタによる電流-電圧の変換と、それに基づく前記第 2 の電界効果トランジスタによるデータ線の駆動とを時分割的に行うこと  
ことを特徴とする請求項 4 0 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

10 4 6. 前記駆動回路は、前記画像情報を入力する信号入力線と前記第 1 の電界効果トランジスタとを接続または遮断する第 1 のスイッチ素子と、前記第 1 の電界効果トランジスタのドレインとゲートとを接続または遮断する第 2 のスイッチ素子とを有し、

前記画像情報の取り込み時には前記第 1 および前記第 2 のスイッチ素子  
15 を接続状態とし、その取り込み終了時には前記第 2 のスイッチ素子を遮断状態とし、かかる後前記第 1 のスイッチ素子を遮断状態とする

ことを特徴とする請求項 4 0 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

4 7. 前記駆動回路は、前記第 1, 前記第 2 の電界効果トランジスタとしては  
20 ほぼ同一の特性を有するトランジスタを用い、

前記第 1, 第 2 の電界効果トランジスタは、カレントミラー回路を形成している

ことを特徴とする請求項 4 0 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

25 4 8. 前記駆動回路は、前記画像情報を入力する信号入力線と前記第 1 の電界効果トランジスタとを接続または遮断する第 1 のスイッチ素子と、前記第 1 の電

界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートとを接続または遮断する第2のスイッチ素子とを有し、

前記画像情報の取り込み時には前記第1および前記第2のスイッチ素子を接続状態とし、その取り込み終了時には前記第2のスイッチ素子を遮断状態と  
5 し、かかる後前記第1のスイッチ素子を遮断状態とする

ことを特徴とする請求項47記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

49. 前記第1、前記第2の電界効果トランジスタにおいて、前記第1の電界効果トランジスタのチャネル幅／チャネル長が、前記第2の電界効果トランジス  
10 タのチャネル幅／チャネル長よりも大きい

ことを特徴とする請求項48記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

50. 前記駆動回路は、前記第1のスイッチ素子と前記第1の電界効果トランジスタとの間に接続された第3の電界効果トランジスタと、前記第3の電界効果トランジスタのドレインとゲートとの間を接続または遮断する第3のスイッチ素子と、前記第3の電界効果トランジスタのゲートに接続された第2のキャパシタとを有し、  
15

前記第1の電界効果トランジスタが前記第2のスイッチ素子により、また前記第3の電界効果トランジスタが前記第3のスイッチ素子により、共にドレ  
20 インとゲートとが接続された状態にあるとき、これらトランジスタのドレイン・ソース間に前記第1のスイッチ素子を通して前記画像情報が電流の形で供給され  
る

ことを特徴とする請求項46記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

25 51. 前記複数本のデータ線毎に設けられた複数個の前記駆動回路は、同一の信号入力線を共有し、これを時分割的に使用しつつ画像情報の取り込みを行う

ことを特徴とする請求項 3 7 記載のアクティプマトリクス型有機エレクトロルミネッセンス表示装置。

5 2. 前記駆動回路は、前記画像情報が電圧の形で与えられ、この電圧を前記保持部で保持する

5 ことを特徴とする請求項 3 7 記載のアクティプマトリクス型有機エレクトロルミネッセンス表示装置。

5 3. 前記駆動回路において、

前記保持部は、前記画像情報に応じた電圧を保持する保持キャパシタを含み、

10 前記駆動回路は、前記保持キャパシタの保持電圧に基づいて前記複数本のデータ線の各々を駆動する電界効果トランジスタを含み、

前記電界効果トランジスタは、そのゲート・ドRAINを電気的に短絡される動作の後、そのゲートと信号入力線とが書き込みキャパシタを介して容量結合された状態で画像情報が与えられる

15 ことを特徴とする請求項 5 2 記載のアクティプマトリクス型有機エレクトロルミネッセンス表示装置。

5 4. 前記駆動回路は、前記書き込みキャパシタの信号入力線側ノードと所定の電位点との間に接続されたスイッチ素子を有し、

前記電界効果トランジスタがそのゲート・ドRAIN間を電気的に接続される動作が行われている間に、前記スイッチ素子が短絡されることによって前記書き込みキャパシタの信号入力線側ノードが前記所定の電位となる

20 ことを特徴とする請求項 5 3 記載のアクティプマトリクス型有機エレクトロルミネッセンス表示装置。

5 5. 前記駆動回路は、1 本のデータ線について複数系統ずつ設けられている

25 ことを特徴とする請求項 3 7 記載のアクティプマトリクス型有機エレクトロルミネッセンス表示装置。

5 6. 前記駆動回路は、1本のデータ線について2系統ずつ設けられ、一方の系統の駆動回路がデータ線を駆動する間に他方の系統の駆動回路が画像情報の取り込みを行う

ことを特徴とする請求項5 5記載のアクティプマトリクス型有機エレク

5 トロルミネッセンス表示装置。

5 7. 前記駆動回路は、1本のデータ線について3系統ずつ設けられ、ある走査サイクルにおいて1系統の駆動回路がリセット動作を、他の1系統の駆動回路がデータ被書き込み動作を、残りの1系統がデータ線駆動動作を行う

ことを特徴とする請求項5 5記載のアクティプマトリクス型有機エレク

10 トロルミネッセンス表示装置。

5 8. 前記駆動回路を構成するトランジスタは、前記画素回路を構成するトランジスタと同時に形成される薄膜トランジスタである

ことを特徴とする請求項3 7記載のアクティプマトリクス型有機エレク

トロルミネッセンス表示装置。

15 5 9. 前記画像情報を入力する信号入力線と所定の電位点との間にリーク素子を有する

ことを特徴とする請求項3 7記載のアクティプマトリクス型有機エレクトロルミネッセンス表示装置。

6 0. 前記画像情報を入力する信号入力線と所定の電位点との間に、前記信号入力線を通して前記駆動回路へ前記画像情報を供給するのに先立って前記信号入力線の電位を所定の値に設定する初期値設定用素子を有する

ことを特徴とする請求項3 7記載のアクティプマトリクス型有機エレク

トロルミネッセンス表示装置。

FIG.1

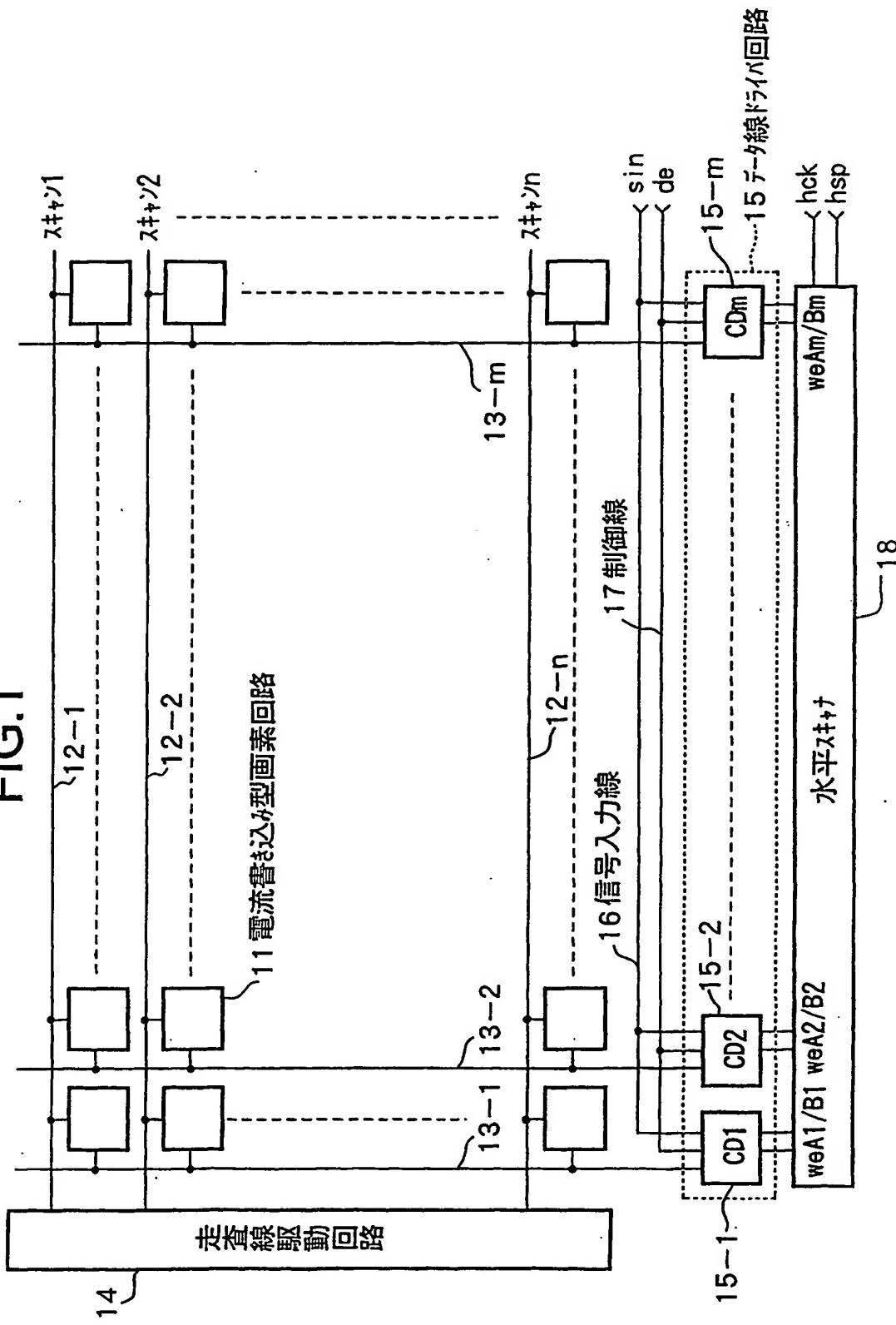
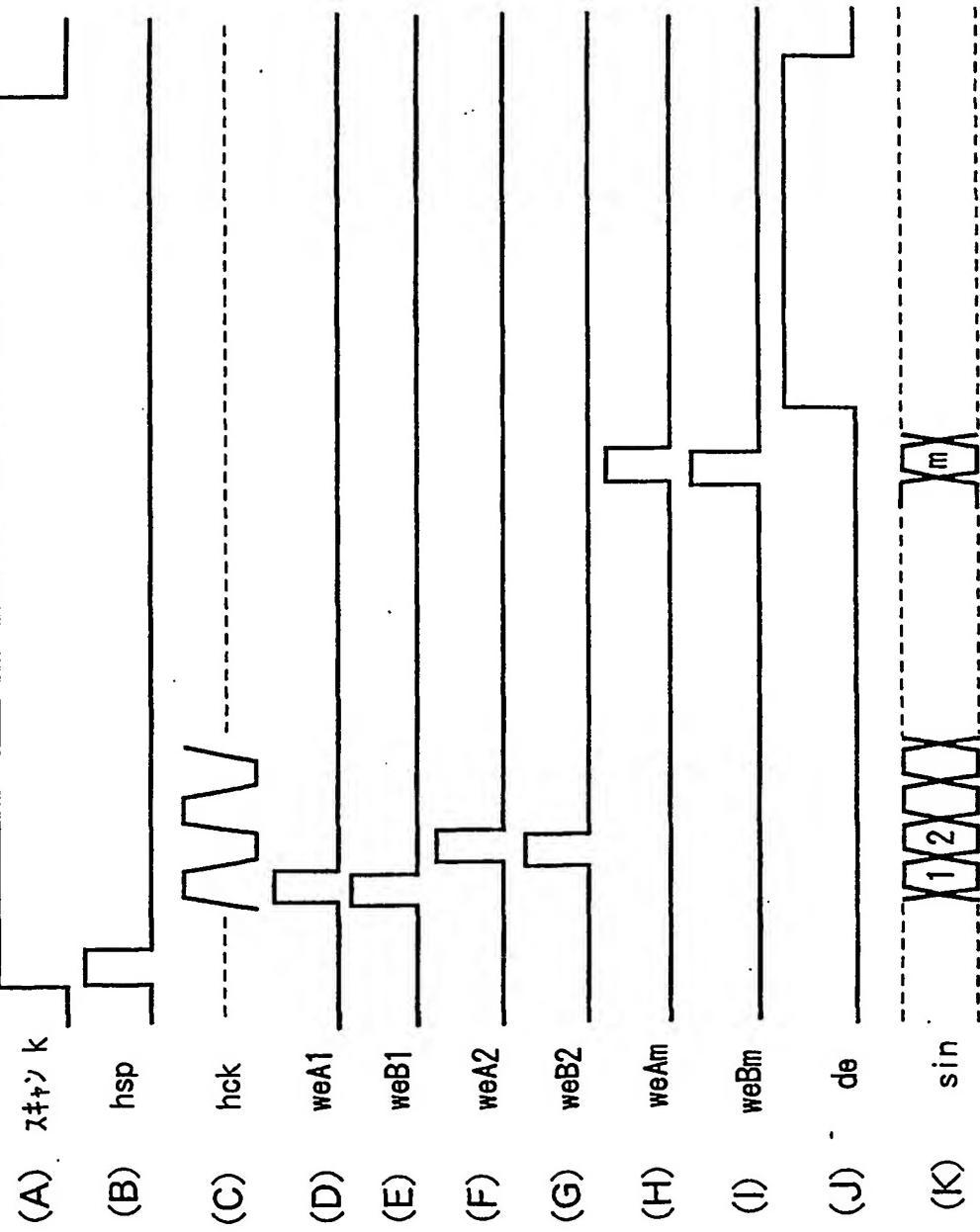
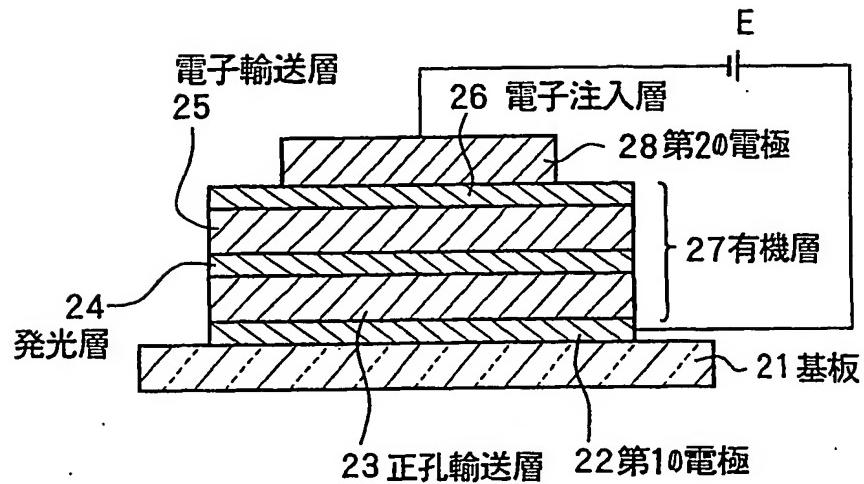


FIG.2



**FIG.3**



**FIG.4**

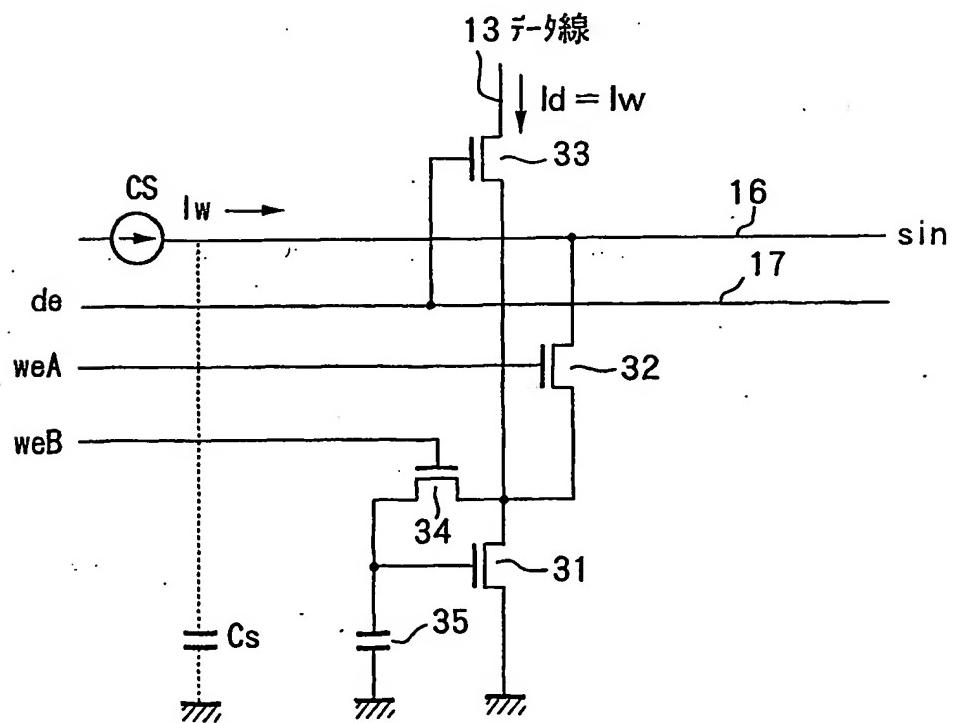


FIG.5

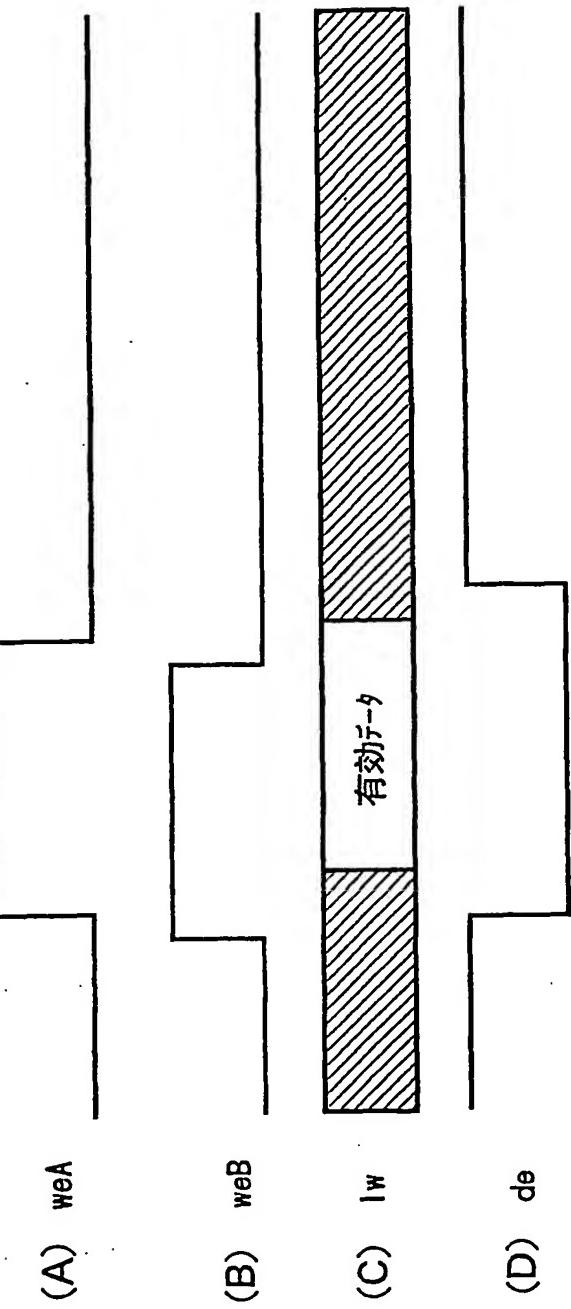


FIG.6

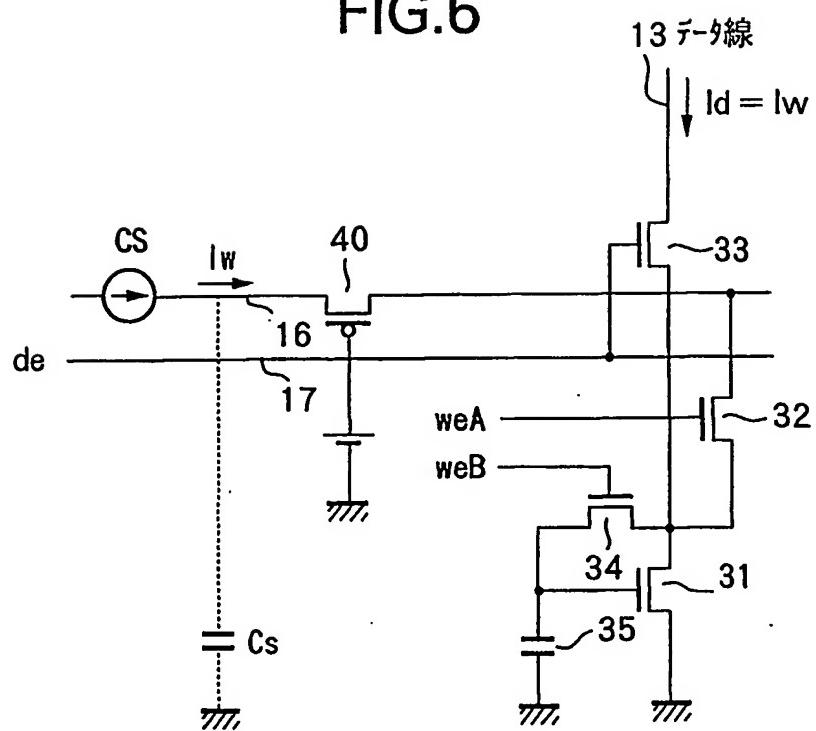


FIG.7

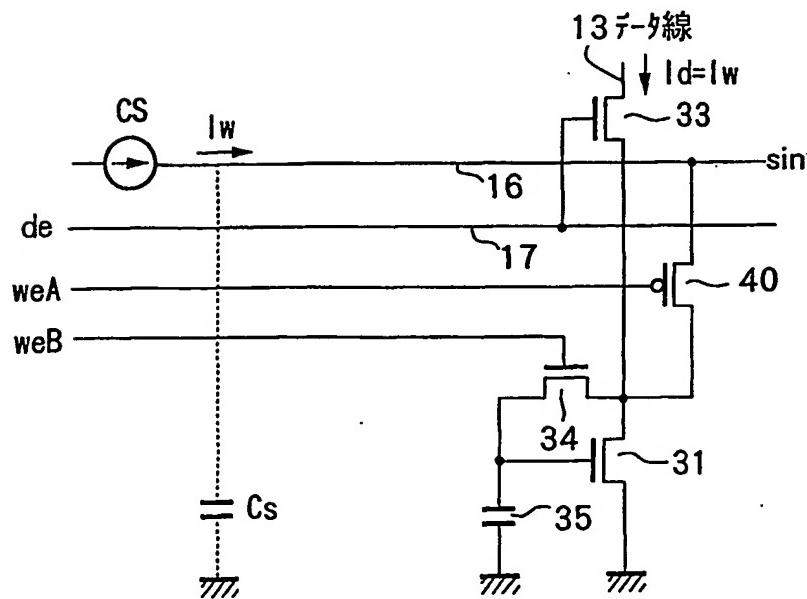


FIG.8

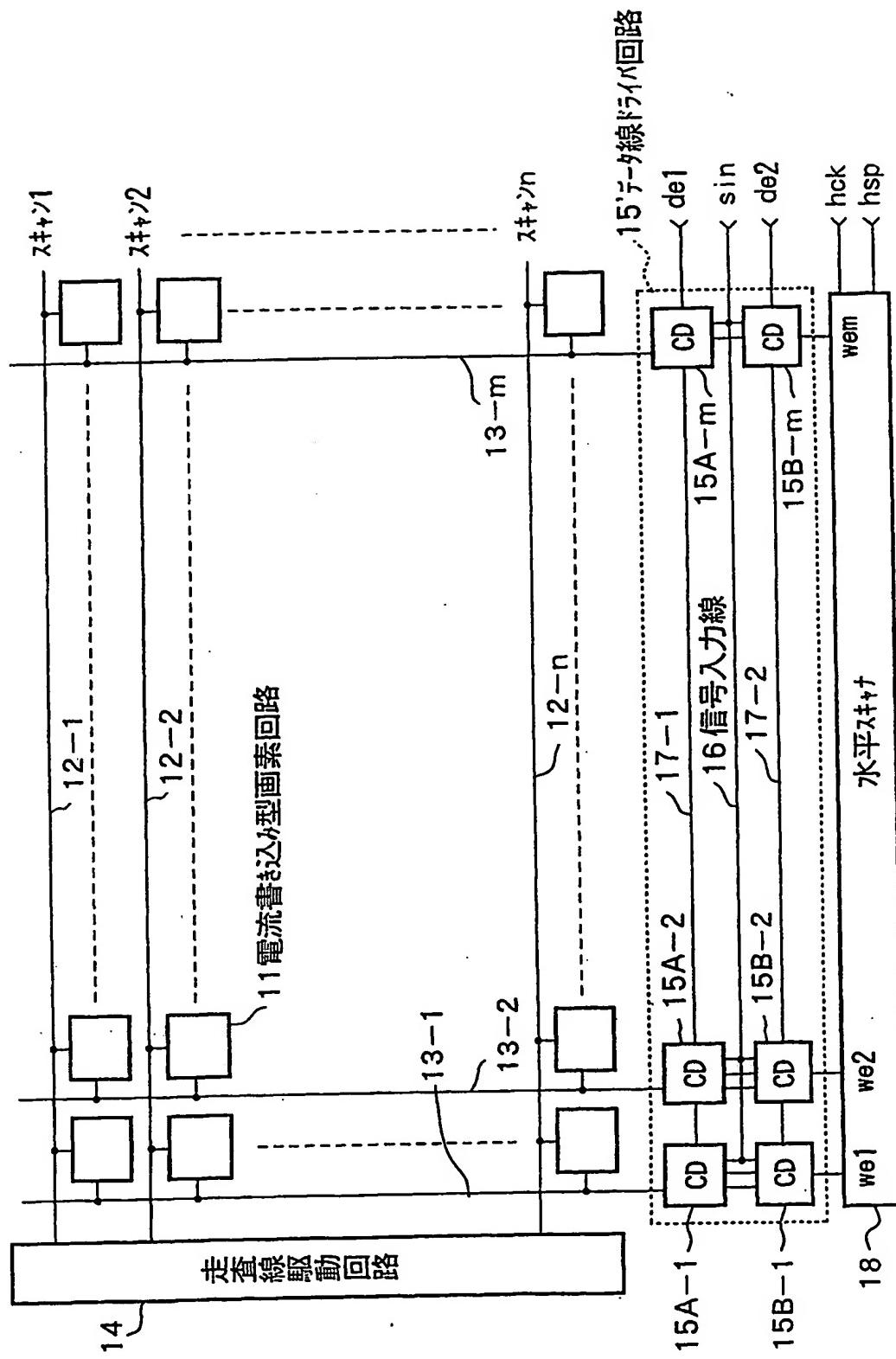


FIG.9

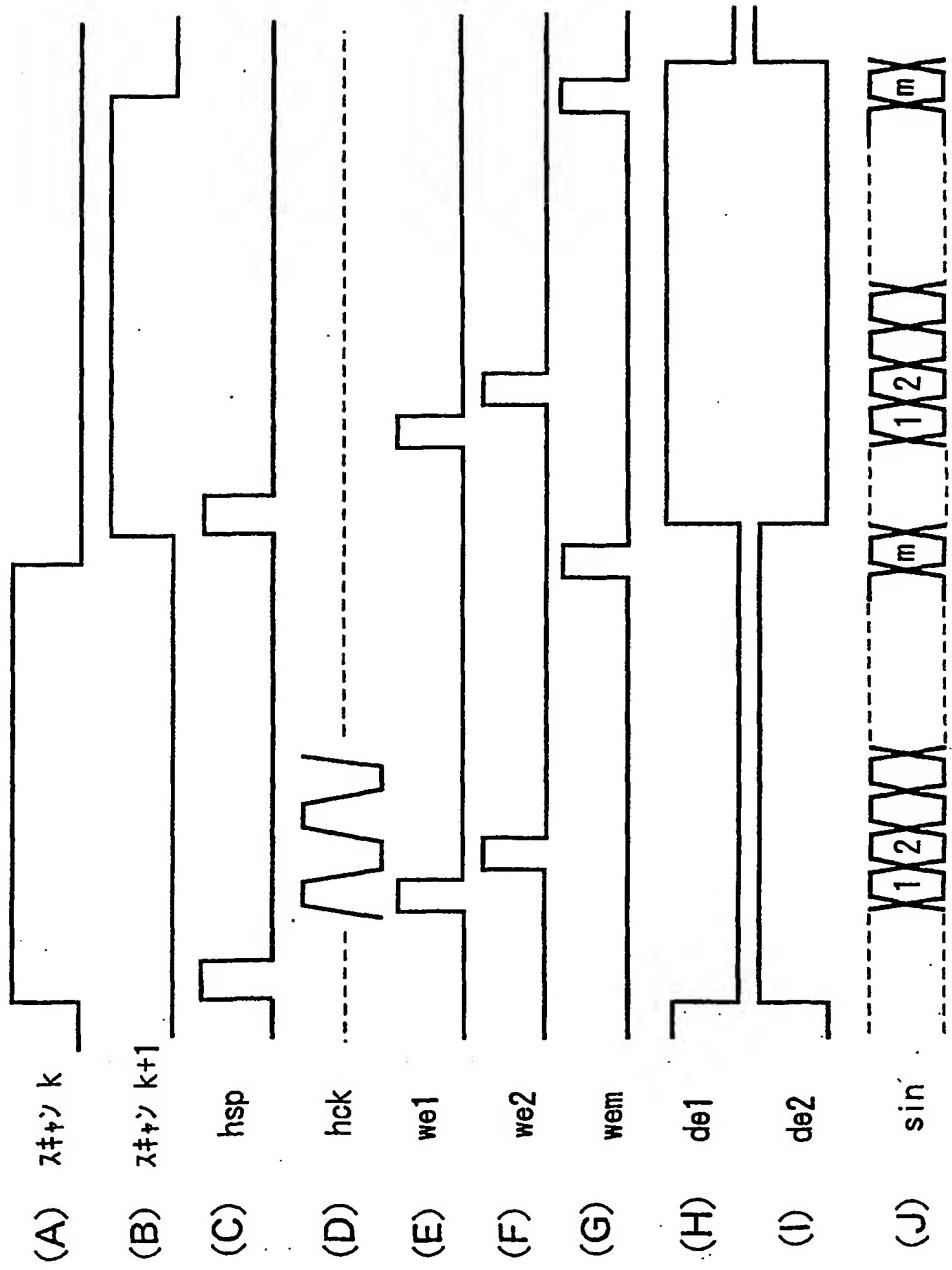


FIG.10

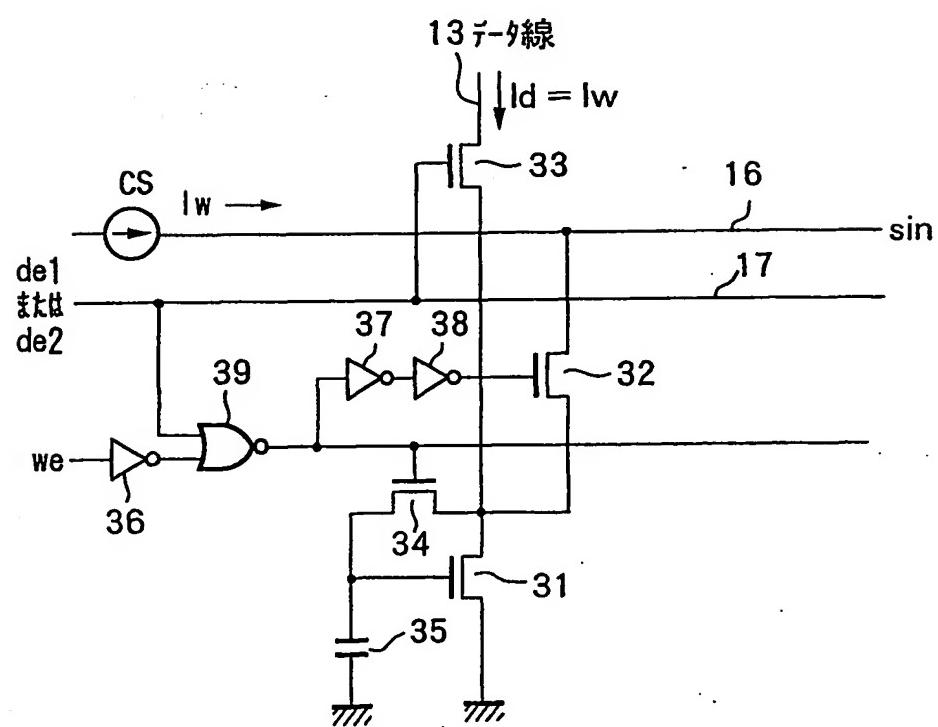


FIG.11

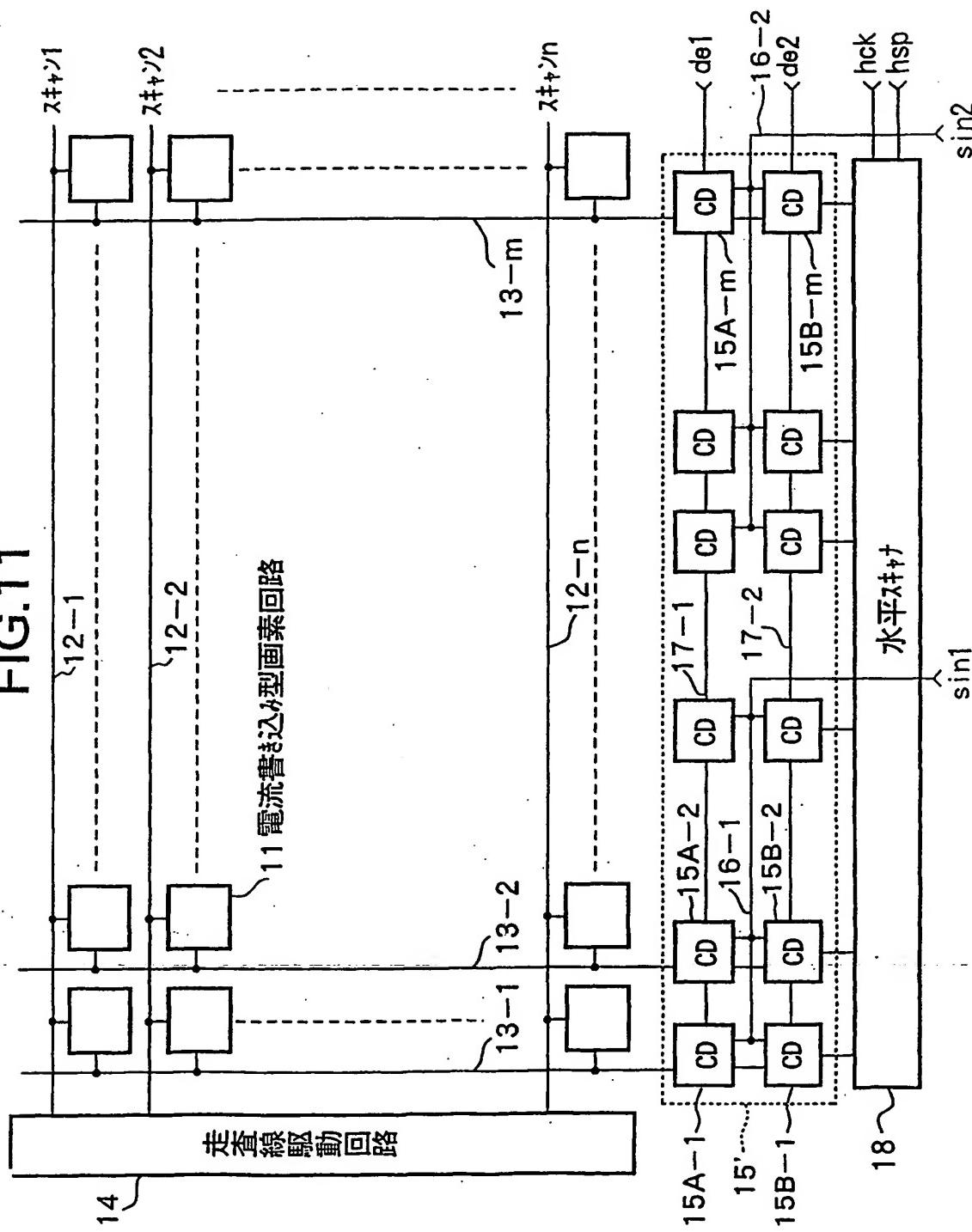


FIG.12

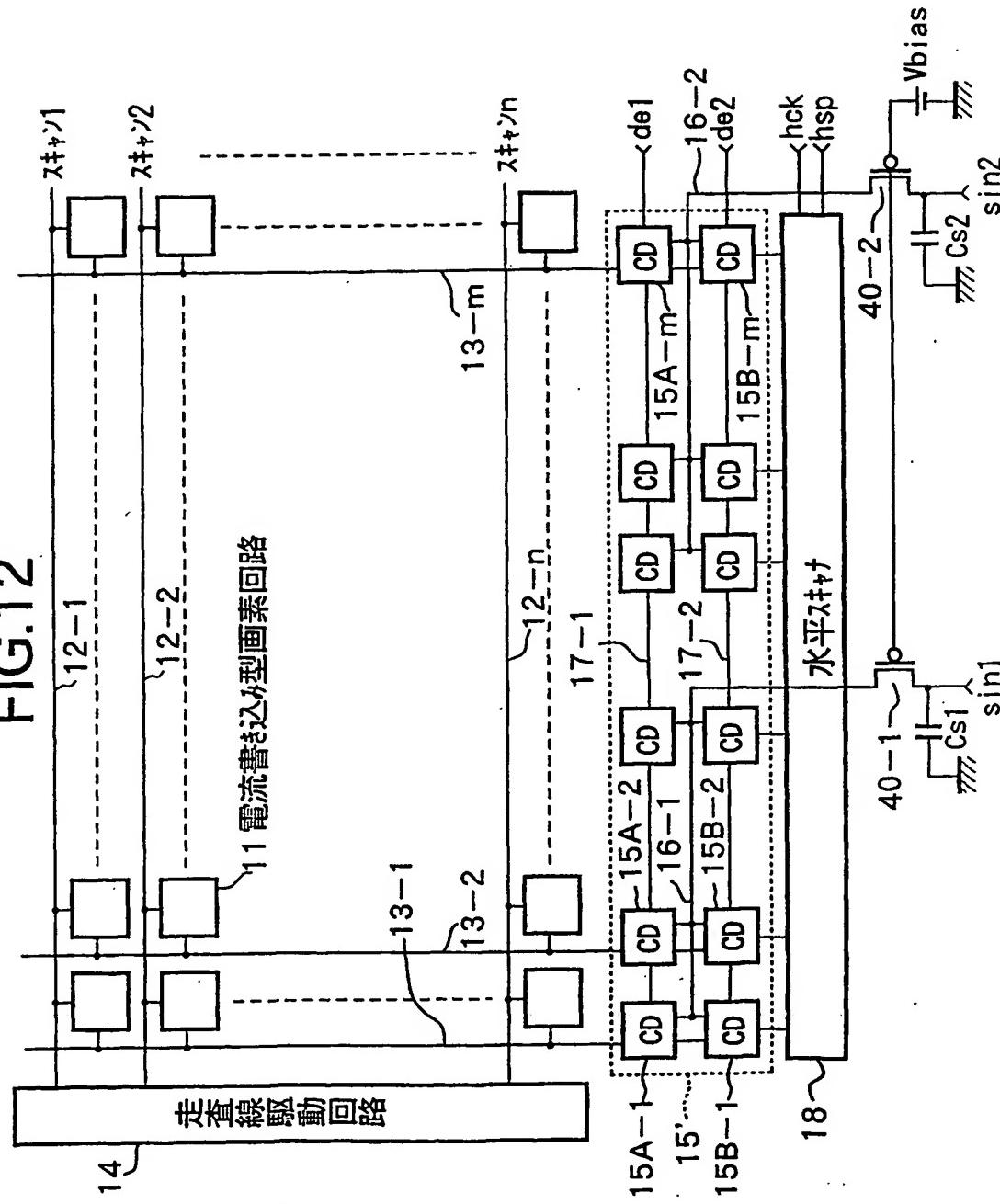


FIG.13

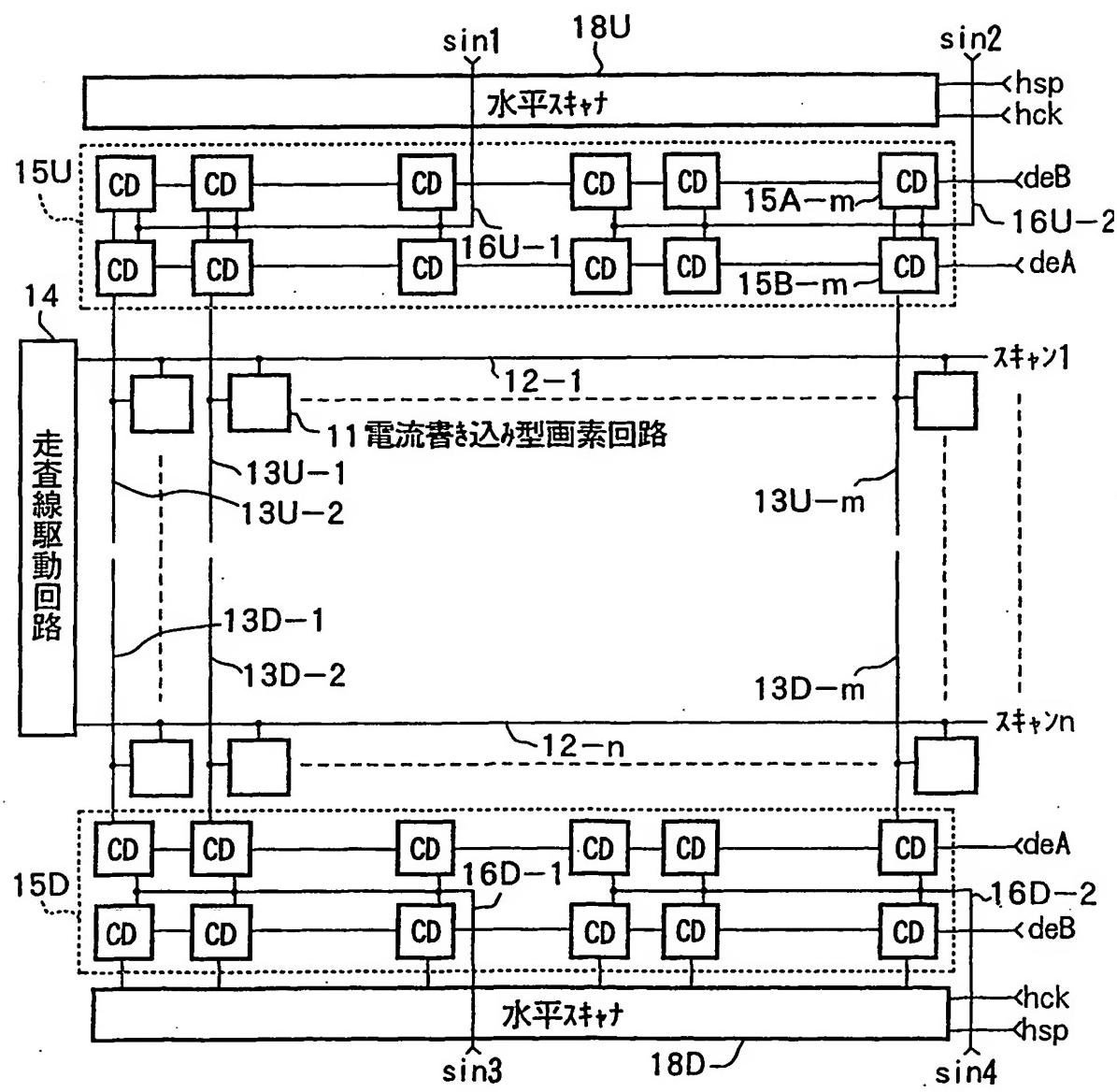


FIG.14

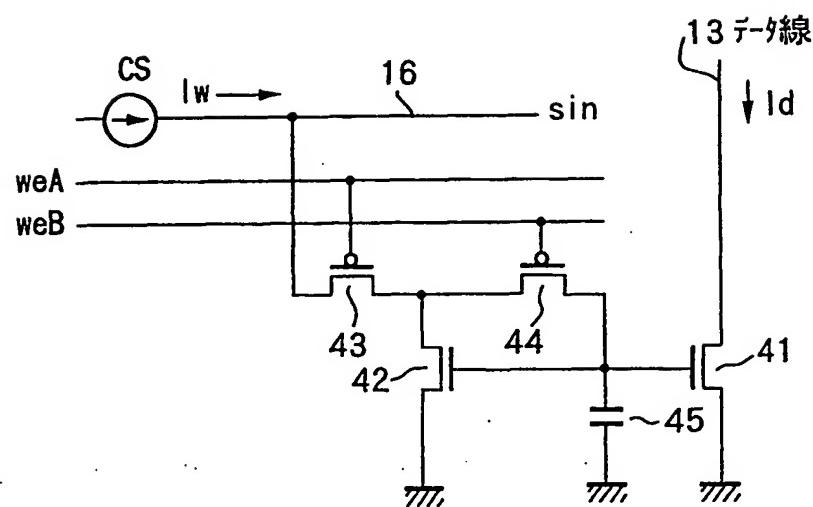


FIG.15

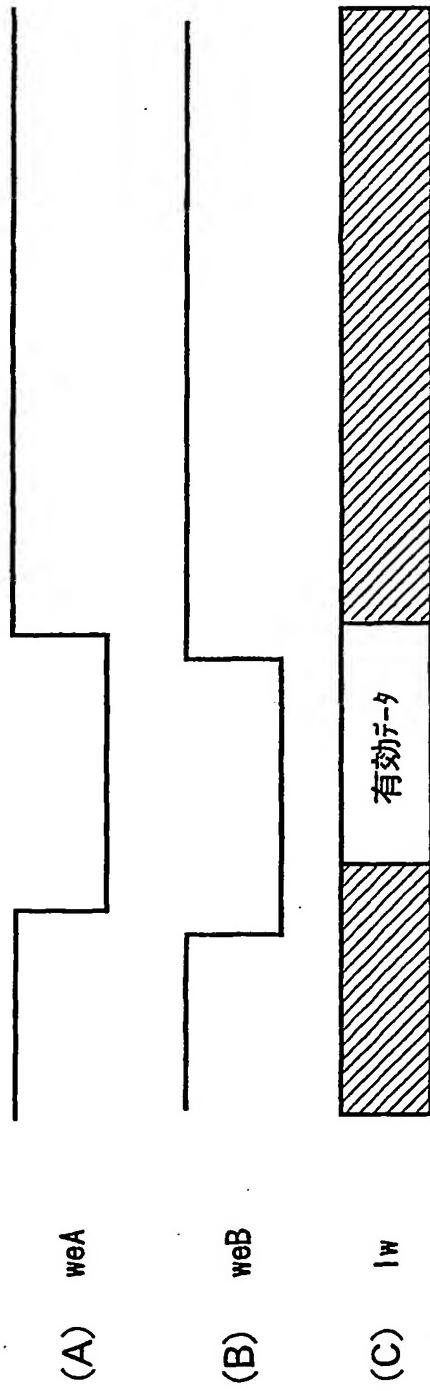


FIG.16

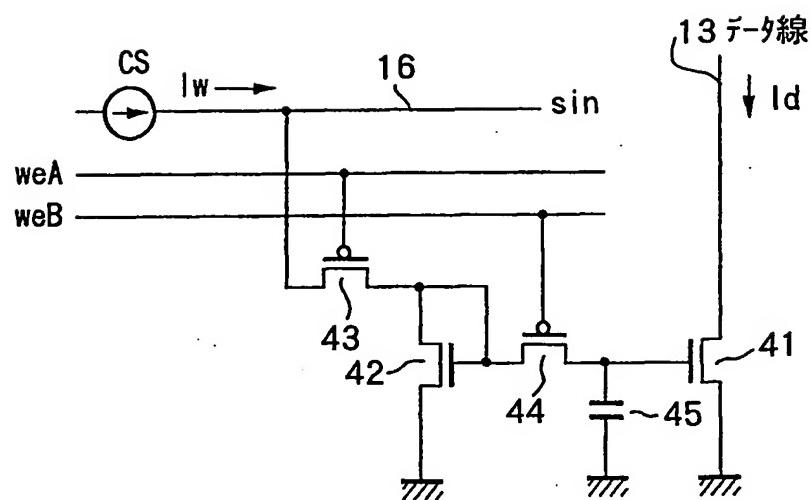


FIG.17

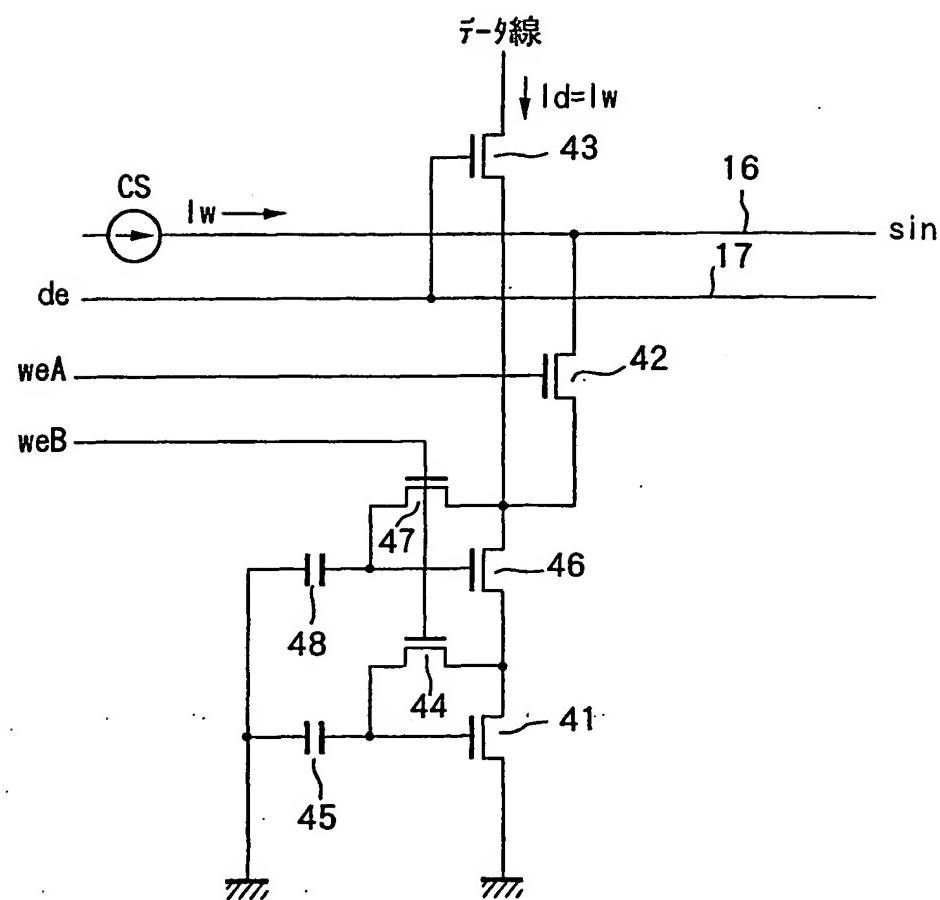


FIG.18

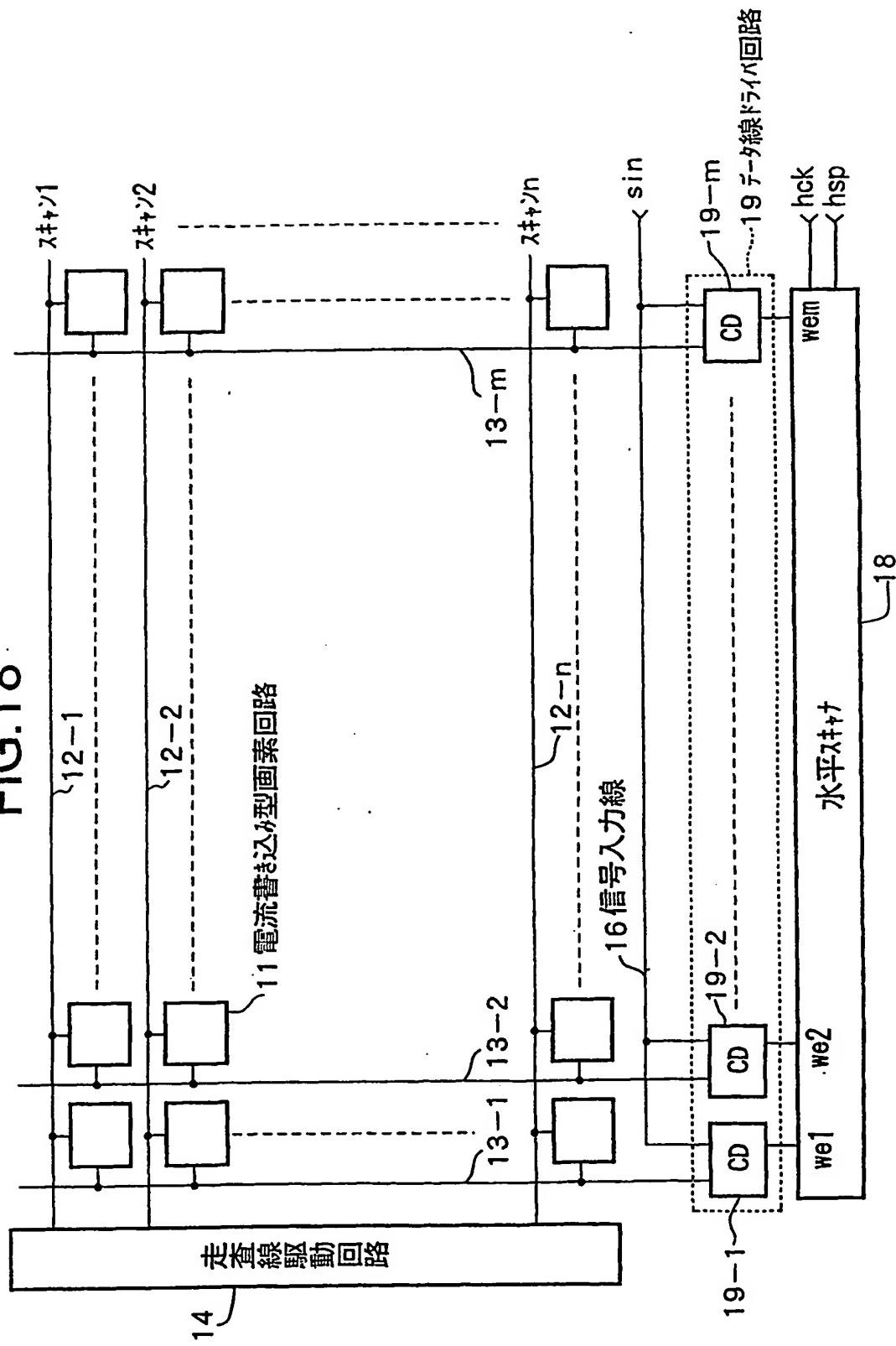


FIG.19

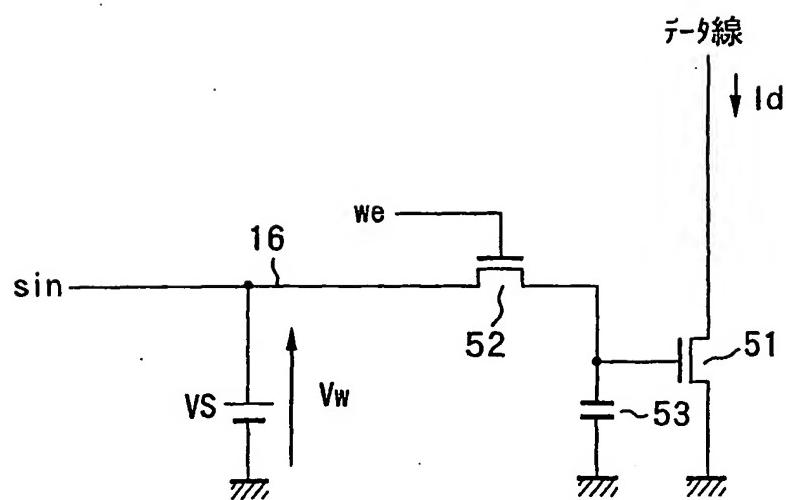


FIG.20

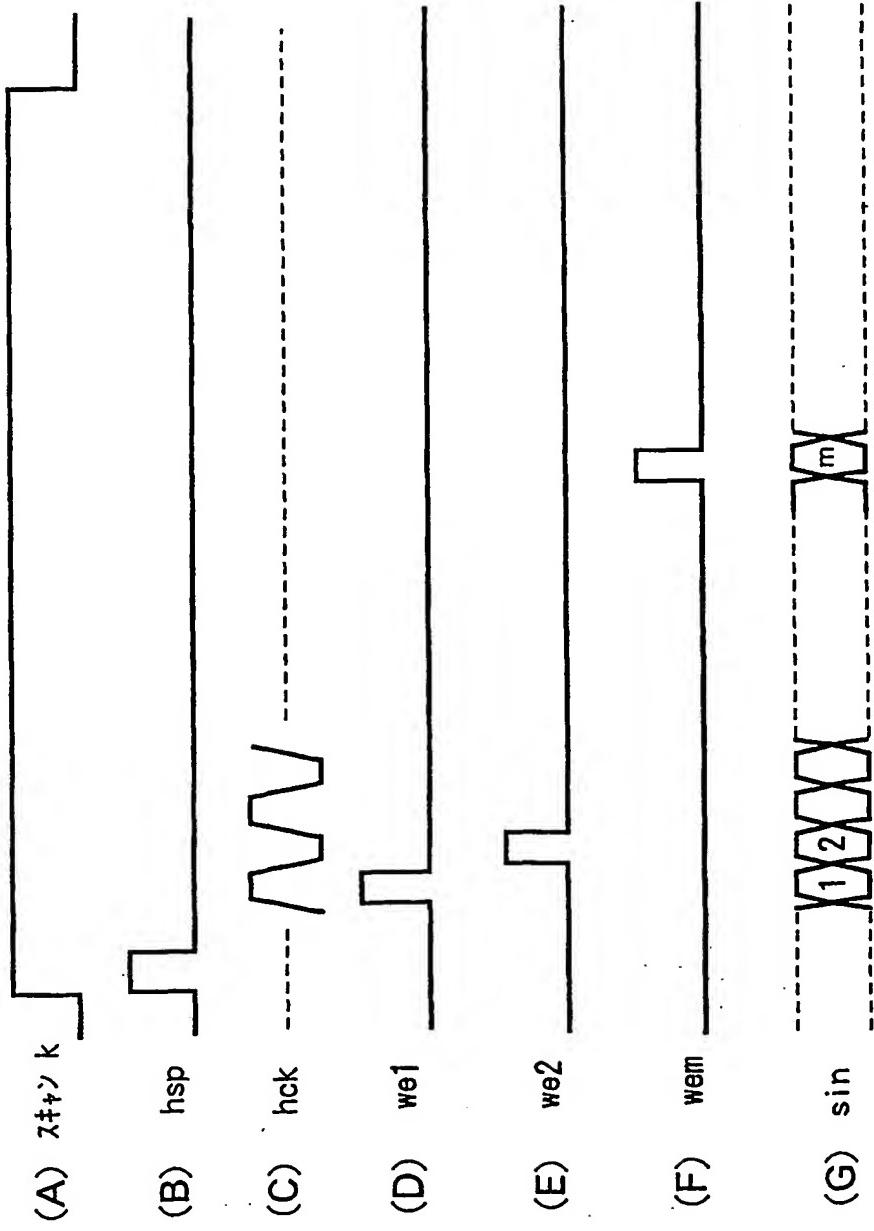


FIG.21

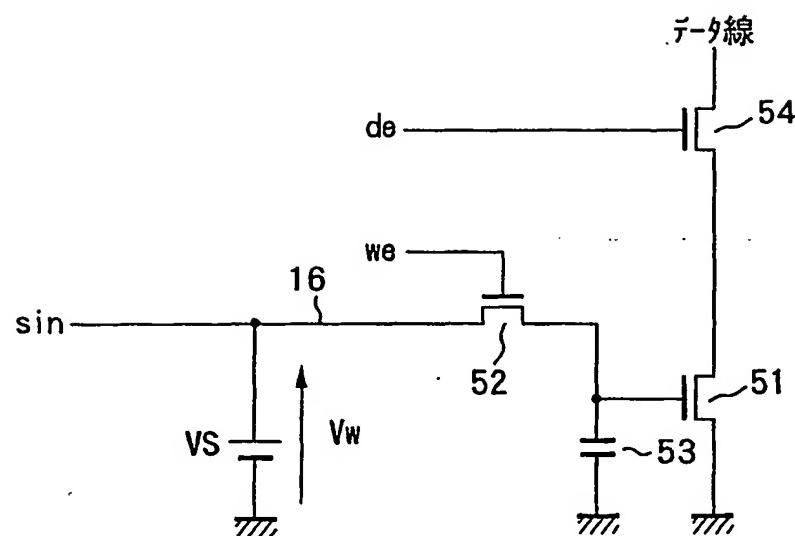


FIG.22

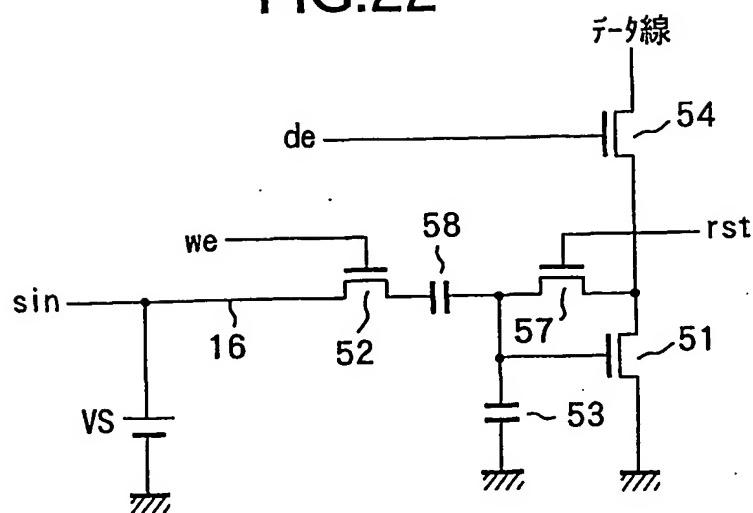


FIG.23

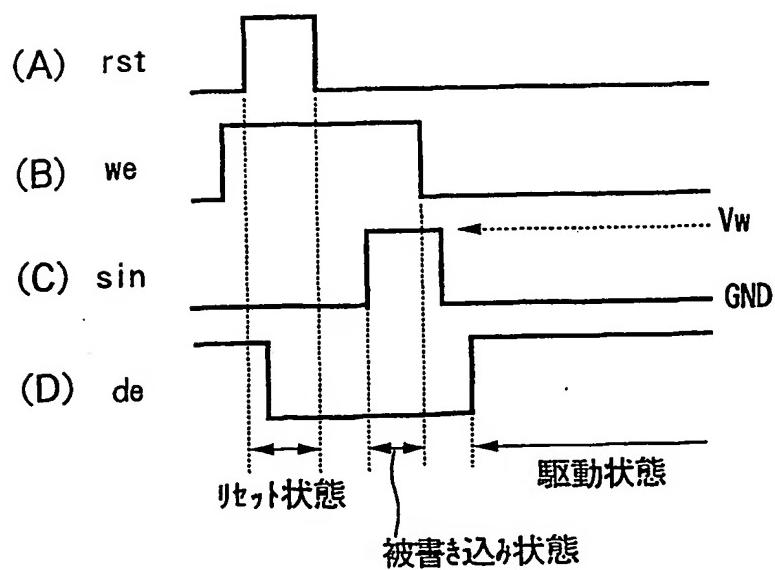


FIG.24

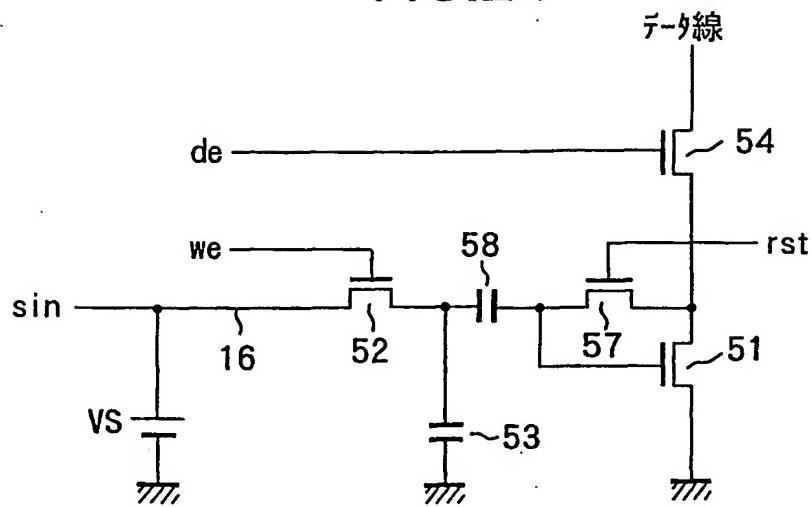


FIG.25

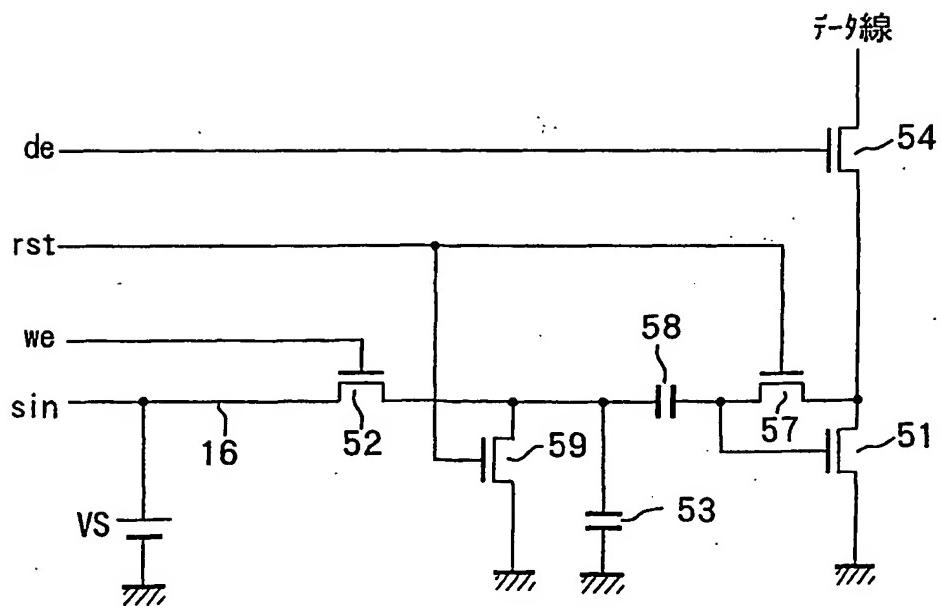


FIG.26

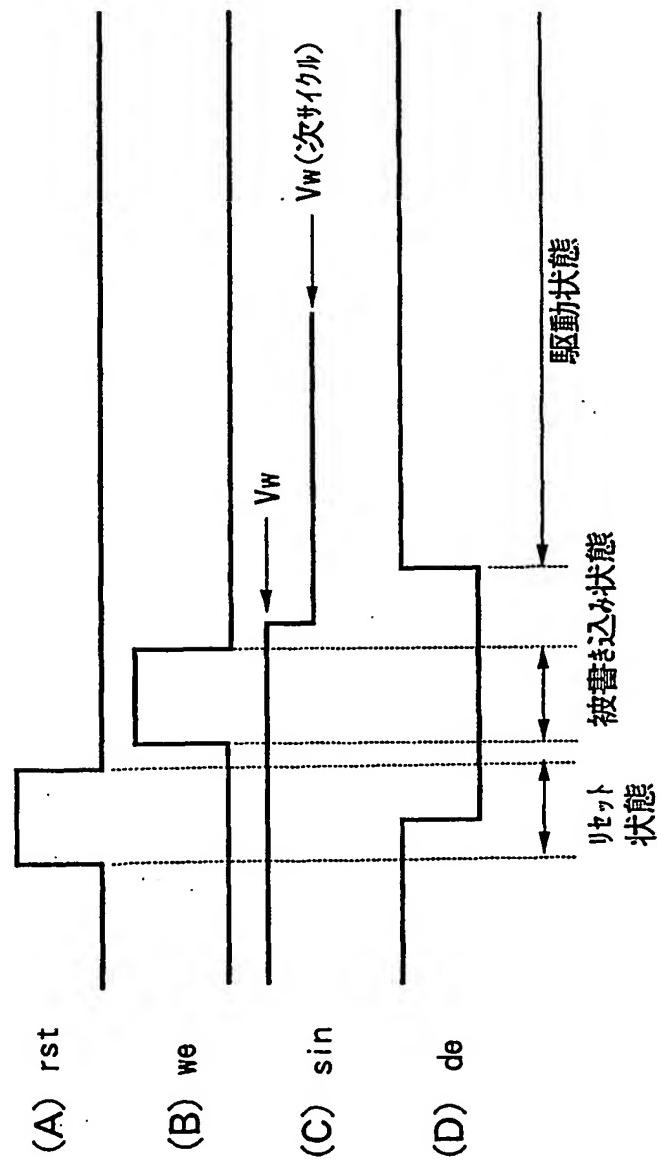


FIG.27

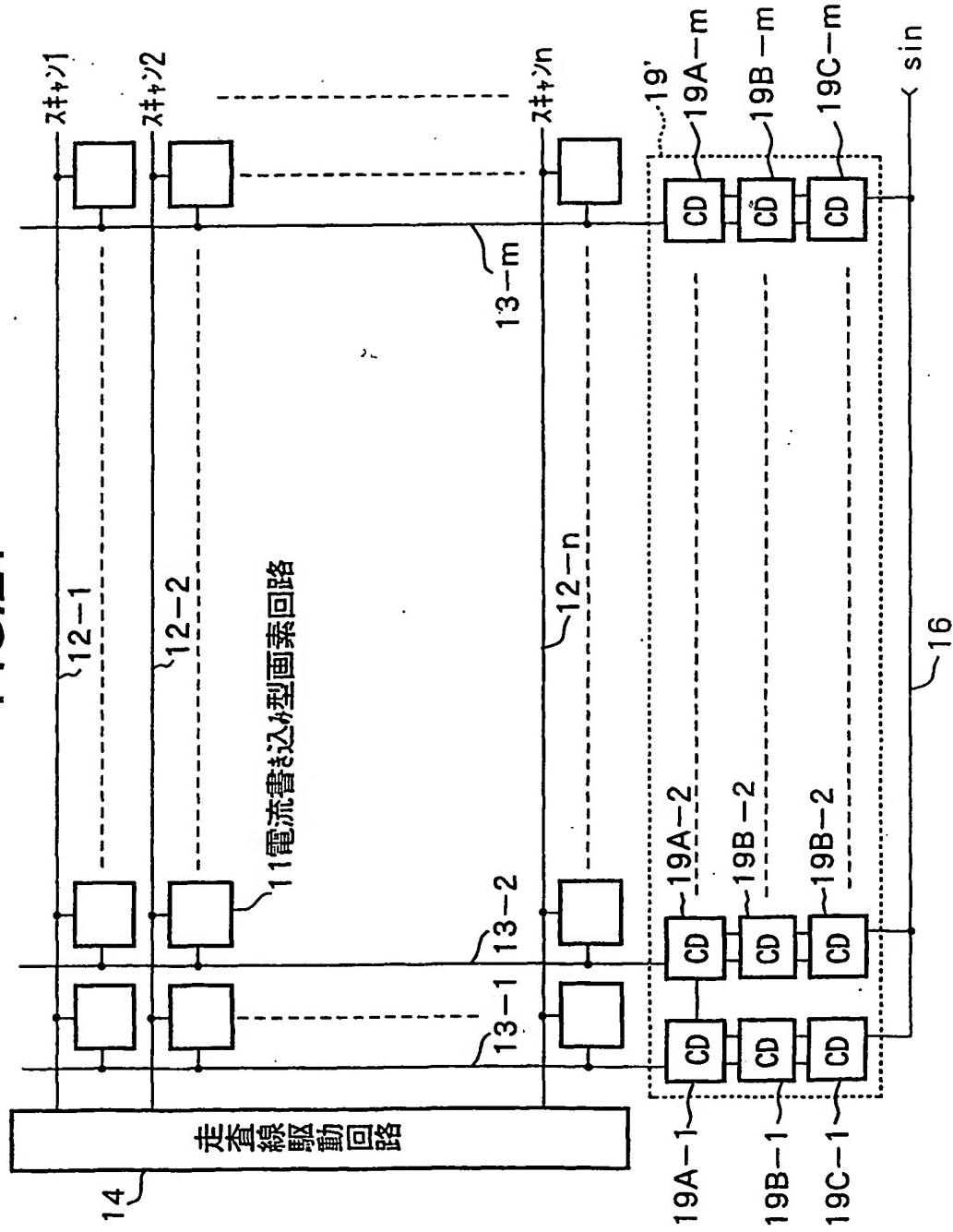


FIG.28

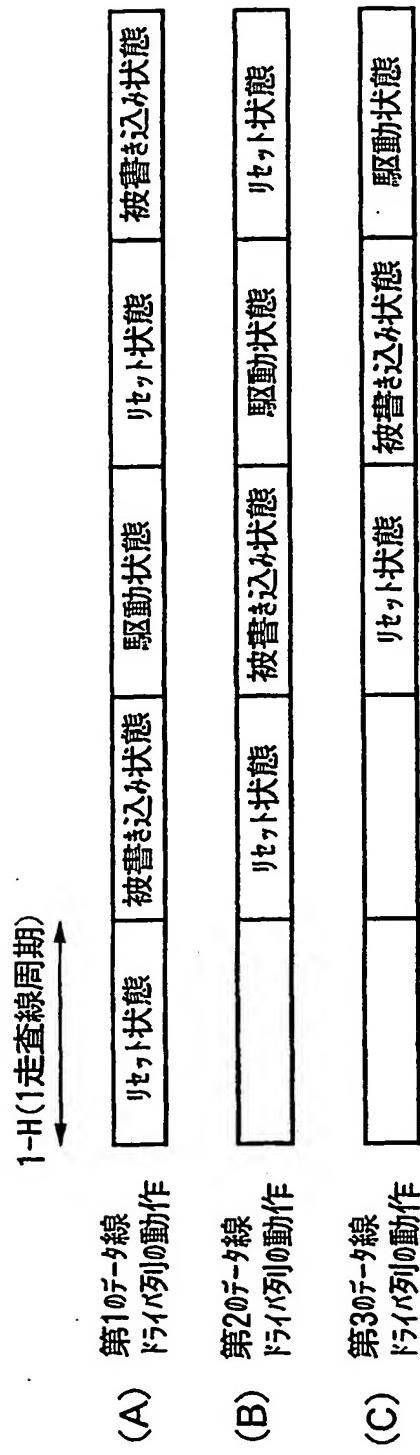


FIG.29

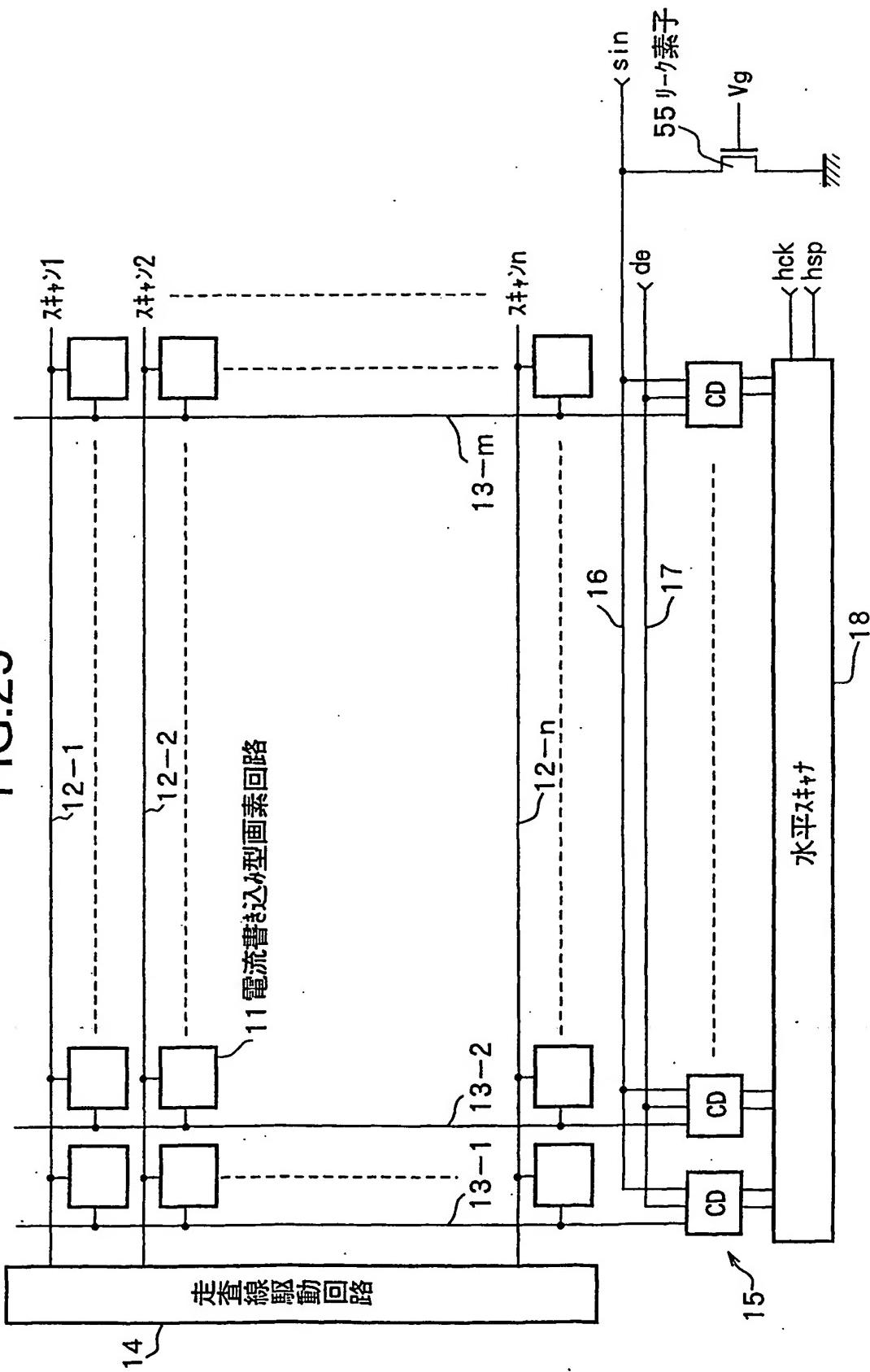


FIG.30

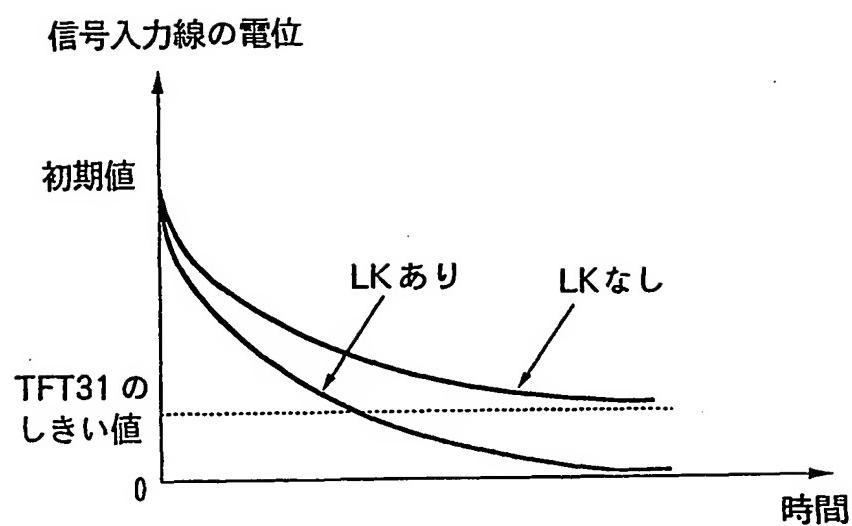


FIG.31

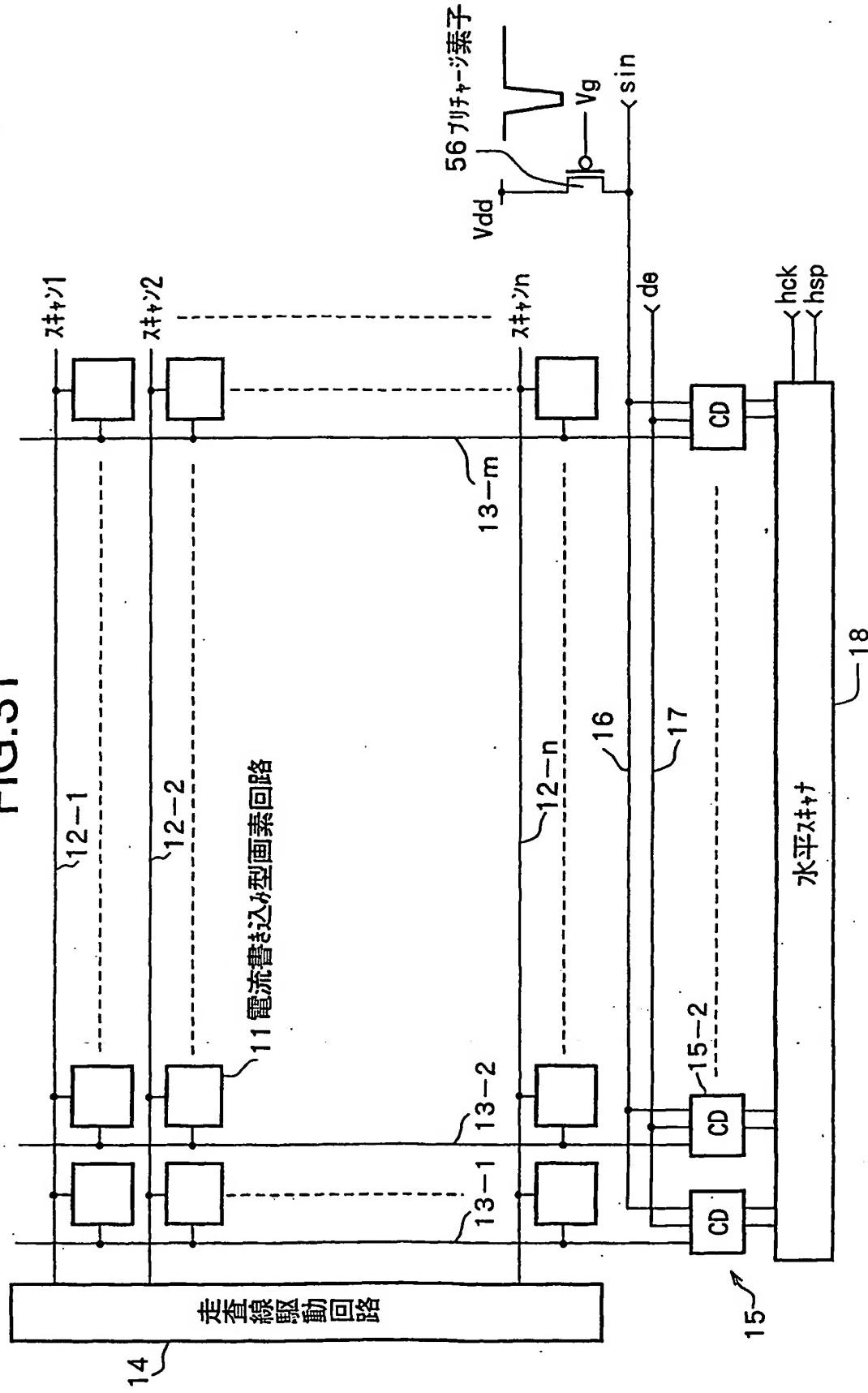


FIG.32

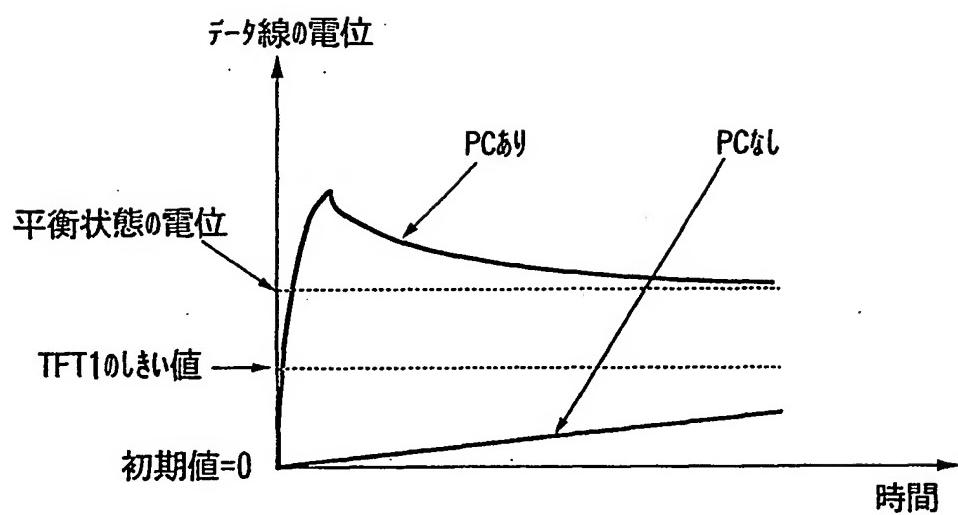


FIG.33

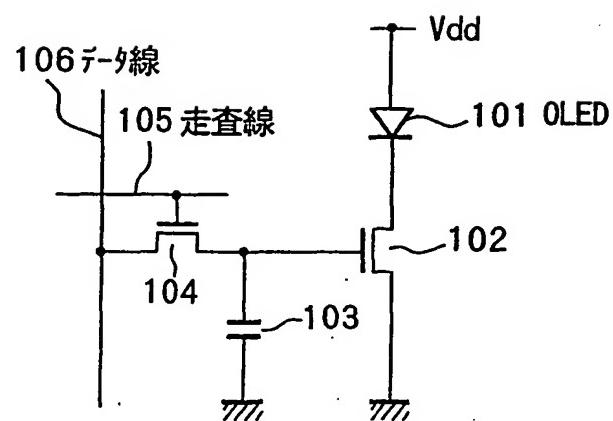


FIG.34

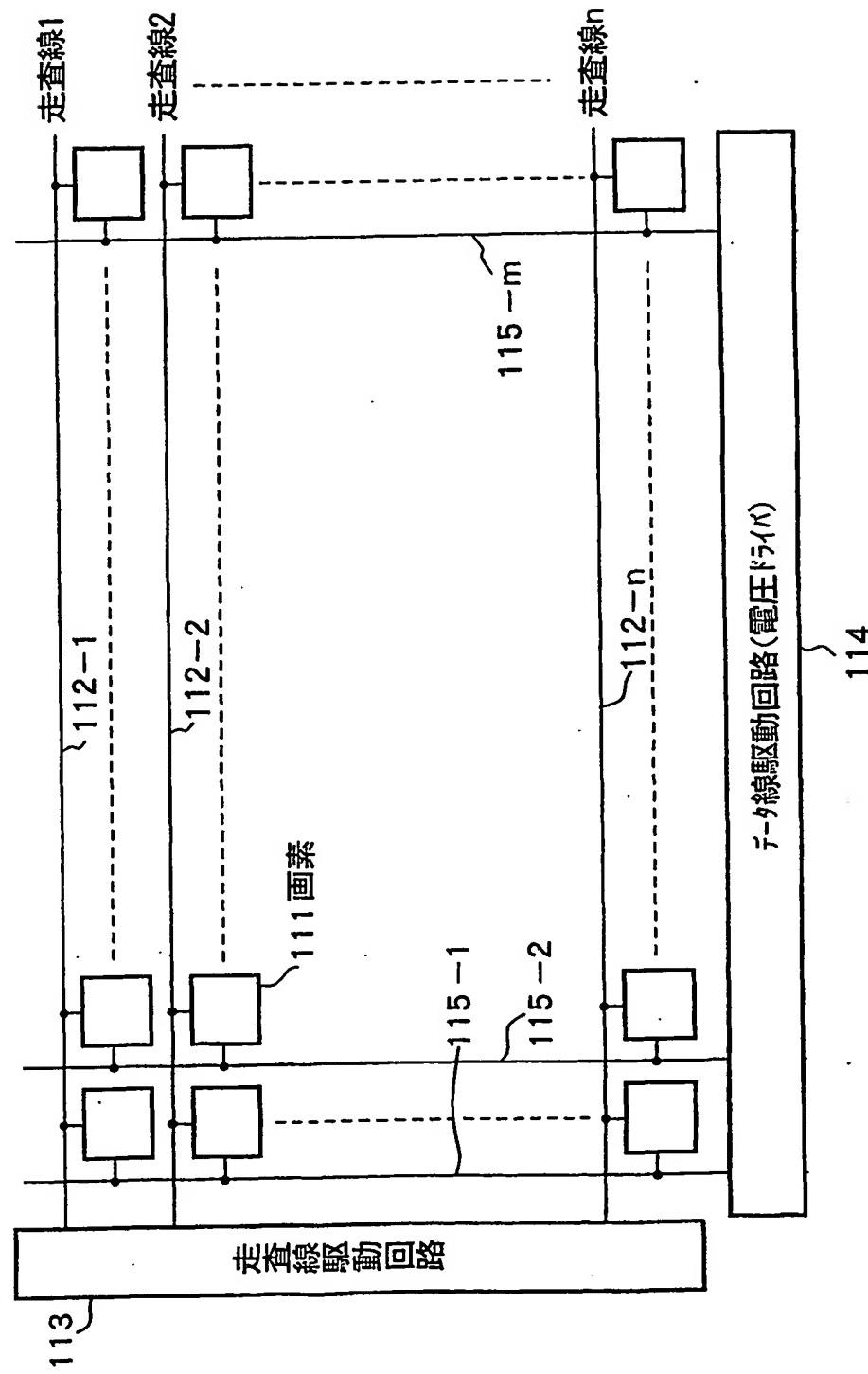


FIG.35

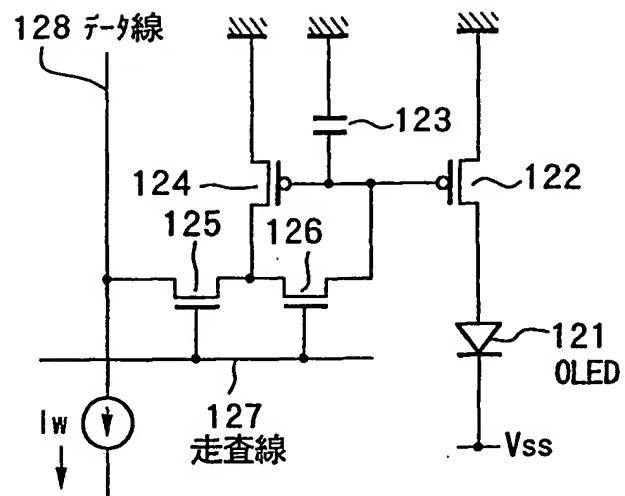


FIG.36

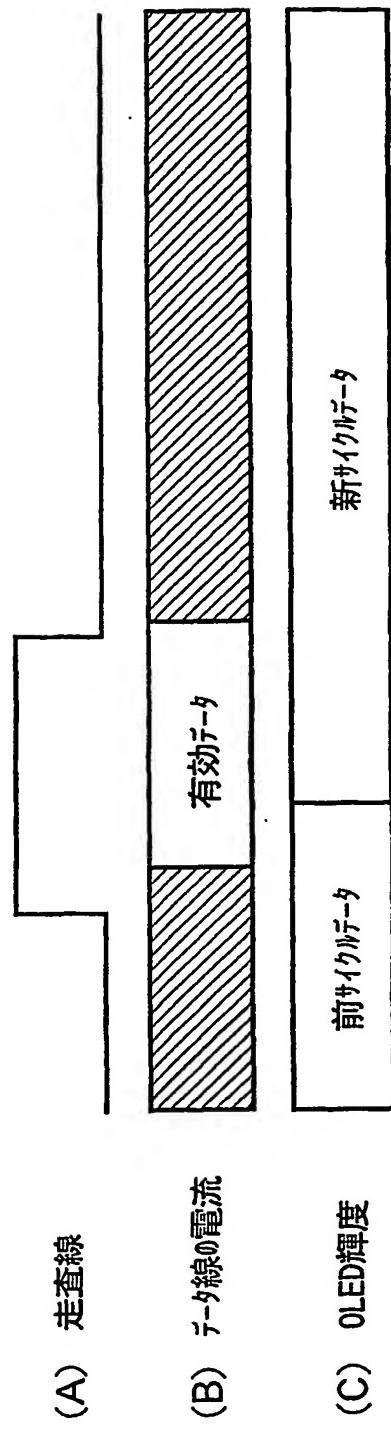


FIG.37

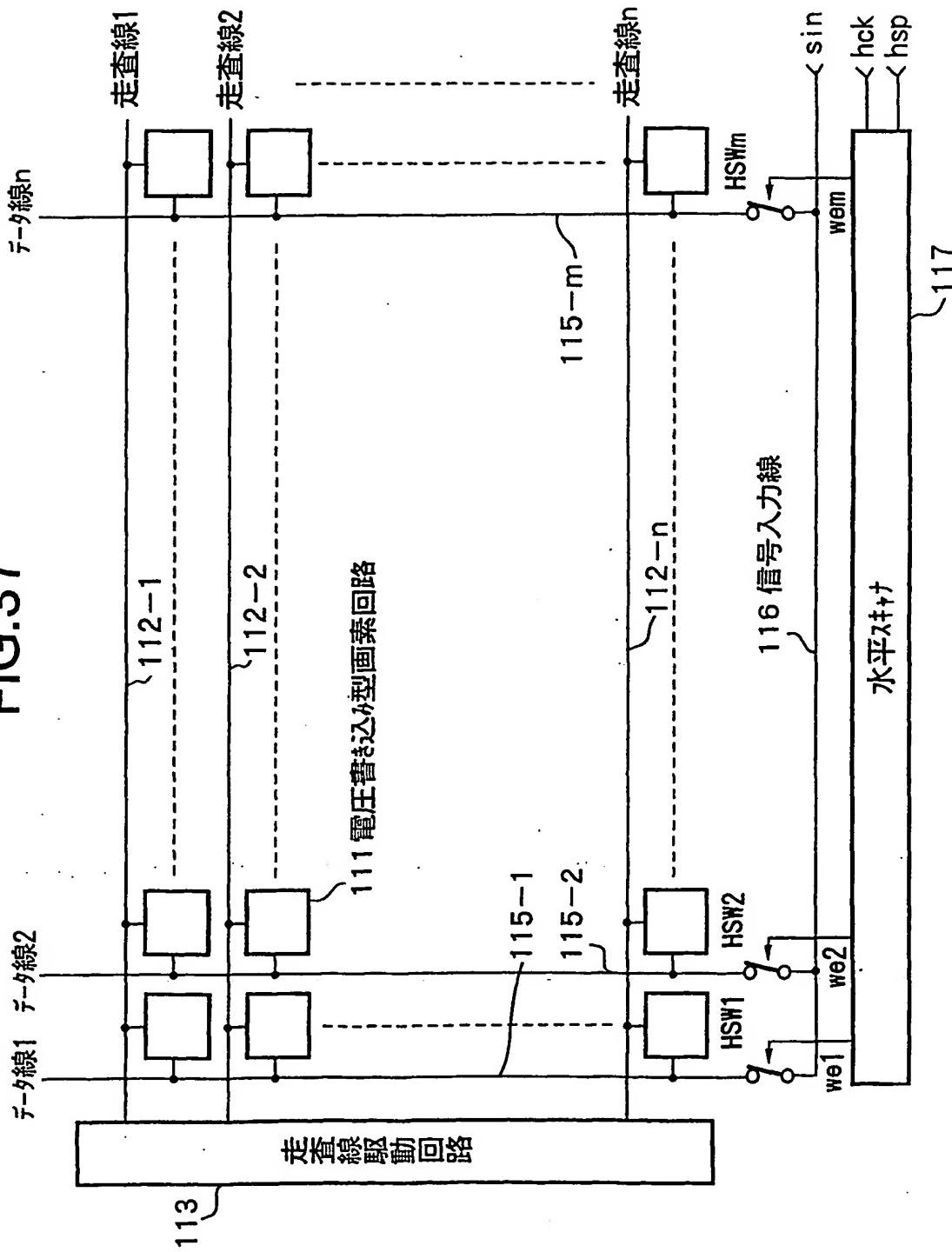


FIG.38

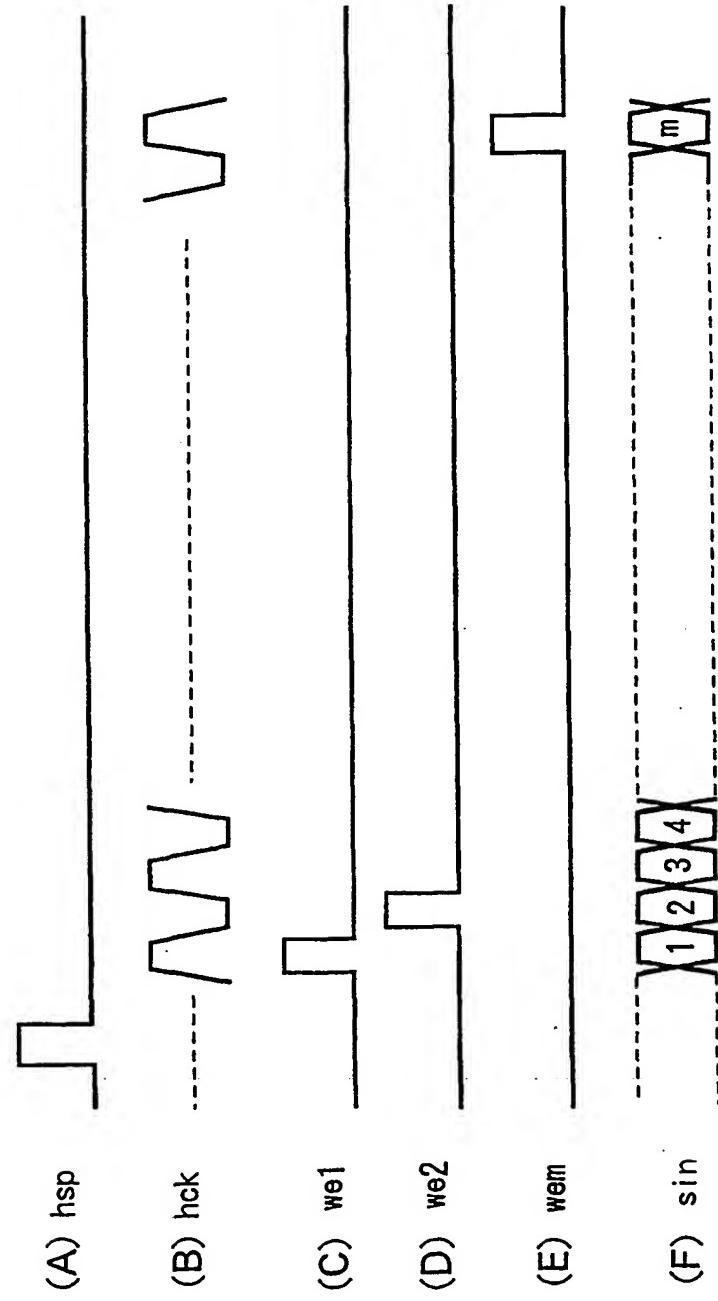
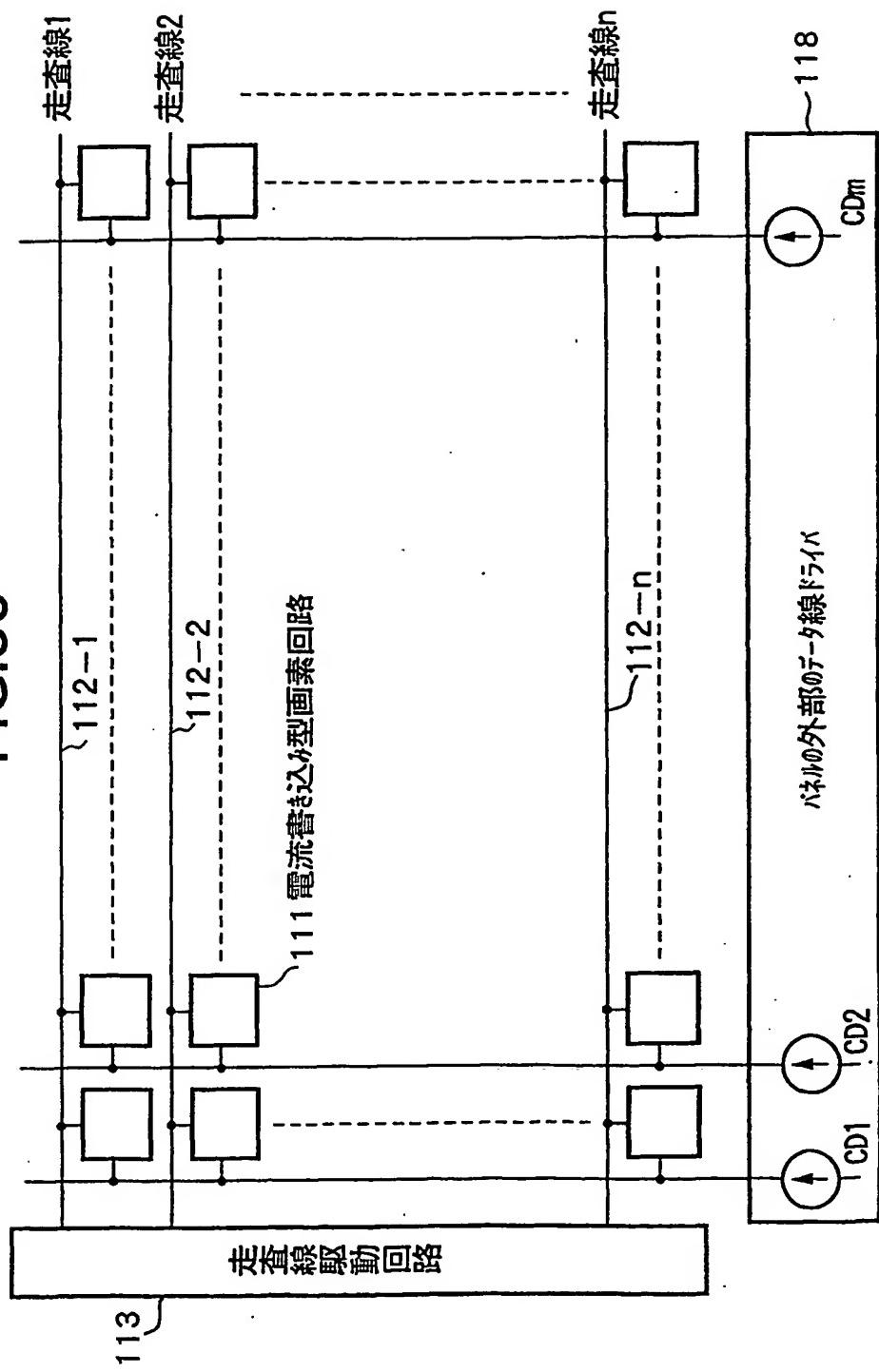


FIG.39



## 符号の説明

1 1 … 電流書き込み型画素回路

1 2 - 1 ~ 1 2 - n … 走査線

1 3 - 1 ~ 1 3 - m,

1 3 U - 1 ~ 1 3 U - m,

1 3 D - 1 ~ 1 3 D - m … データ線

1 4 … 走査線駆動回路

1 5, 1 9 … データ線ドライバ回路

1 5 - 1 ~ 1 5 - m,

1 5 A - 1 ~ 1 5 A - m,

1 5 B - 1 ~ 1 5 B - m … 電流書き込み型電流ドライバ回路

1 6, 1 6 - 1,

1 6 - 2, 1 6 U - 1,

1 6 U - 2, 1 6 D - 1,

1 6 D - 2 … 信号入力線

1 8 … 水平スキャナ (H S C A N)

1 9 - 1 ~ 1 9 - m,

1 9 A - 1 ~ 1 9 A - m,

1 9 B - 1 ~ 1 9 B - m,

1 9 C - 1 ~ 1 9 C - m … 電圧書き込み型電流ドライバ回路

5 5 … リーク素子

5 6 … プリチャージ素子

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09735

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G09G3/30

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/30, 3/32, 3/36, G09F9/30Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002  
Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-122607 A (Seiko Epson Corporation), 28 April, 2000 (28.04.2000), Par. Nos. [0051] to [0052]; Fig. 4	1-10, 12, 16-18, 20-21, 23-31, 33, 37-45, 47, 51-53, 55-56, 58-60
Y	Par. Nos. [0035] to [0040]; Fig. 1 (Family: none)	23, 58
Y	JP 2000-81920 A (Canon, Inc.), 21 March, 2000 (21.03.2000), Par. Nos. [0013] to [0023]; Fig. 1 & US 6222357 B1	1-10, 12, 16-18, 20-21, 23-31, 33, 37-45, 47, 51-53, 55-56, 58-60
Y	JP 9-114423 A (Sharp Corporation), 02 May, 1997 (02.05.1997), Par. Nos. [0052] to [0055]; Fig. 4 (Family: none)	3, 16, 20-21, 38-40, 44, 51, 55-56

 Further documents are listed in the continuation of Box C.  See patent family annex.

"A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search  
23 January, 2002 (23.01.02)Date of mailing of the international search report  
05 February, 2002 (05.02.02)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09735

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 98/48403 A1 (Sarnoff Corporation), 29 October, 1998 (29.10.1998), page 3, line 19 to page 6, line 14; Fig. 2	4-10, 26-31, 33-34, 40, 42-45
Y	page 6, line 15 to page 8, line 2; Fig. 3 & EP 978114 A1 & US 6229506 B1 & KR 2001020114 A	17-18, 52-53
Y	JP 11-282419 A (NEC Corporation), 15 October, 1999 (15.10.1999), Par. Nos. [0038] to [0070]; Fig. 1 & US 6091203 A & KR 99078420 A	4-9, 12, 26-30, 33, 42-44, 47
Y	JP 63-179336 A (Hitachi Maxell, Ltd.), 23 July, 1988 (23.07.1988), page 3, lower right column, line 2 to page 4, upper left column, line 19; Fig. 1 (Family: none)	6-9, 27-30, 41-44
Y	JP 11-202294 A (Seiko Epson Corporation), 30 July, 1999 (30.07.1999), Par. No. [0004] (Family: none)	24-25, 59-60
A	JP 7-36409 A (Pioneer Electronic Corporation), 07 February, 1995 (07.02.1995), & US 5594463 A	1-10, 12, 16-18, 20-21, 23-31, 33, 37-45, 47, 51-53, 55-56, 58-60
P,A	JP 2000-329798 A (Sony Corporation), 30 November, 2000 (30.11.2000), & EP 1054410 A1	4-10, 26-31, 33-34, 40, 42-45

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' G09G3/30

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' G09G3/30, 3/32, 3/36, G09F9/30

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-122607 A (セイコーエプソン株式会社) 2000. 04. 28 【0051】～【0052】， 【図4】	1-10, 12, 16-1 8, 20-21, 23-3 1, 33, 37-45, 4 7, 51-53, 55-5 6, 58-60
Y	【0035】～【0040】， 【図1】 (ファミリーなし)	23, 58

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

23. 01. 02

国際調査報告の発送日

05.02.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

濱本 穎広

2G 9509



電話番号 03-3581-1101 内線 3225

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-81920 A (キヤノン株式会社) 2000. 03. 21, 【0013】～【0023】 , 【図1】 & US 6222357 B1	1-10, 12, 16-1 8, 20-21, 23-3 1, 33, 37-45, 4 7, 51-53, 55-5 6, 58-60
Y	JP 9-114423 A (シャープ株式会社) 1997. 05. 02, 【0052】～【0055】 , 【図4】 (ファミリーなし)	3, 16, 20-21, 3 8-40, 44, 51, 5 5-56
Y	WO 98/48403 A1 (SARNOFF CORPORATION) 1998. 10. 29 第3頁第19行～第6頁第14行 , 図2	4-10, 26-31, 3 3-34, 40, 42-4 5
Y	第6頁第15行～第8頁第2行, 図3 & EP 978114 A1 & US 6229506 B1 & KR 2001020114 A	17-18, 52-53
Y	JP 11-282419 A (日本電気株式会社) 1999. 10. 15, 【0038】～【0070】 , 【図1】 & US 6091203 A & KR 99078420 A	4-9, 12, 26-3 0, 33, 42-44, 4 7
Y	JP 63-179336 A (日立マクセル株式会社) 1988. 07. 23, 第3頁右下欄第2行～第4頁左上欄第19行 , 第1図 (ファミリーなし)	6-9, 27-30, 41 -44
Y	JP 11-202294 A (セイコーエプソン株式会社) 1999. 07. 30, 【0004】 (ファミリーなし)	24-25, 59-60
A	JP 7-36409 A (パイオニア株式会社) 1995. 02. 07 & US 5594463 A	1-10, 12, 16-1 8, 20-21, 23-3 1, 33, 37-45, 4 7, 51-53, 55-5 6, 58-60
P, A	JP 2000-329798 A (ソニー株式会社) 2000. 11. 30 & EP 1054410 A1	4-10, 26-31, 3 3-34, 40, 42-4 5